

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-163332

(43)Date of publication of application : 06.06.2003

(51)Int.Cl.

H01L 27/105

G06N 1/00

G11C 11/22

H03K 19/185

H03K 19/20

(21)Application number : 2002-174228

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 14.06.2002

(72)Inventor : UEDA MICHIHITO
OTSUKA TAKASHI
MORITA KIYOYUKI

(30)Priority

Priority number : 2001190370
2001274526Priority date : 22.06.2001
11.09.2001

Priority country : JP

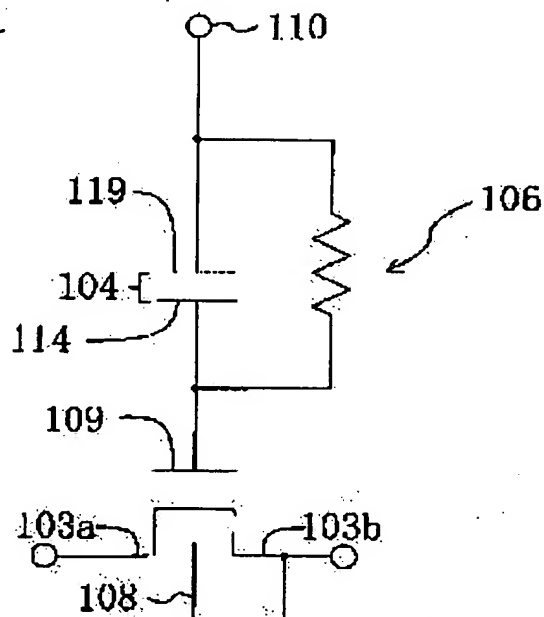
JP

(54) SEMICONDUCTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device capable of retaining multiple-valued information and available as a multiple-valued memory or a neuron element of a neuron computer, and its driving method.

SOLUTION: The semiconductor device comprises a control voltage supply section 110, an MOS transistor having a gate electrode 109, a drain region 103a and a source region 103b, and a dielectric capacitor 104 and a resistor element 106 connected in parallel between the gate electrode 109 and the control voltage supply section 110. Threshold value of the MOS transistor can be varied by applying a voltage to the dielectric capacitor 104 and storing charges on the intermediate electrode and the gate electrode 109 thereof. Since the record of inputted signals can be stored in the form of the change of the drain current of the MOS transistor, multiple-valued information can be retained.



LEGAL STATUS

[Date of request for examination]

14.06.2002

[Date of sending the examiner's decision of
rejection]

[Kind of final disposal of application other than

THIS PAGE BLANK (USPTO)

(11)特許出願公開番号
特開2003-163332
(P2003-163332A)

【特許請求の範囲】

【請求項 1】 半導体基板と、

上記半導体基板上に形成された第 1 の上部電極、第 1 の誘電体層、及び第 1 の下部電極からなる第 1 のキャパシタと、

上記半導体基板上に形成された第 2 の上部電極、第 2 の誘電体層、及び第 2 の下部電極からなる第 2 のキャパシタとを配置して構成される記憶部とを備え、3 値以上の情報を保持可能な半導体装置であって、

上記第 1 の誘電体層と上記第 2 の誘電体層のヒステリシス特性における抗電圧値が互いに異なっている半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、動作時には、上記第 1 のキャパシタの分極方向と上記第 2 のキャパシタの分極方向とが互いに同じとなることを特徴とする半導体装置。

【請求項 3】 請求項 1 または 2 に記載の半導体装置において、

上記半導体基板上に形成されたゲート絶縁膜と、上記ゲート絶縁膜の上に形成された導体膜からなるゲート電極とを有するトランジスタをさらに備え、

上記第 1 の下部電極と上記第 2 の下部電極とが共に上記ゲート電極と一体化されていることを特徴とする半導体装置。

【請求項 4】 請求項 1 または 2 に記載の半導体装置において、

上記半導体基板上に形成されたゲート絶縁膜と上記ゲート絶縁膜の上に形成された導体膜からなるゲート電極とをさらに備え、

上記第 1 の下部電極と上記第 2 の下部電極とがそれぞれ上記ゲート電極と互いに接続されていることを特徴とする半導体装置。

【請求項 5】 請求項 1～4 のうちいずれか 1 つに記載の半導体装置において、

上記第 1 のキャパシタ及び上記第 2 のキャパシタのそれぞれの分極が 0 から飽和するまでの前半過程で、電圧の変化に対する分極の変化率が相異なることを特徴とする半導体装置。

【請求項 6】 請求項 1～5 のうちいずれか 1 つに記載の半導体装置において、

上記第 1 の誘電体層及び上記第 2 の誘電体層は、共に強誘電体層を有していることを特徴とする半導体装置。

【請求項 7】 請求項 1～6 のうちいずれか 1 つに記載の半導体装置において、

上記第 1 の上部電極と上記第 2 の上部電極とは互いに接続されていることを特徴とする半導体装置。

【請求項 8】 請求項 3～7 のうちいずれか 1 つに記載の半導体装置において、

上記第 1 の誘電体層が上記第 2 の誘電体層と共用されていることを特徴とする半導体装置。

【請求項 9】 請求項 8 に記載の半導体装置において、上記第 1 の誘電体層と上記第 2 の誘電体層とを構成する部材の材料が互いに同一で、且つ上記第 1 のキャパシタ及び上記第 2 のキャパシタと並列に接続された常誘電体キャパシタをさらに有することを特徴とする半導体装置。

【請求項 10】 請求項 8 または 9 に記載の半導体装置において、

上記第 2 のキャパシタと上記ゲート電極との間に介設されたキャパシタをさらに備えていることを特徴とする半導体装置。

【請求項 11】 請求項 1～7 のうちいずれか 1 つに記載の半導体装置において、

上記第 1 の誘電体層と上記第 2 の誘電体層の面積が互いに異なっていることを特徴とする半導体装置。

【請求項 12】 請求項 1～7 のうちいずれか 1 つに記載の半導体装置において、

上記第 1 の誘電体層と上記第 2 の誘電体層とは互いに異なる材料から構成されていることを特徴とする半導体装置。

【請求項 13】 請求項 1～7 のうちいずれか 1 つに記載の半導体装置において、

上記第 1 の誘電体層の膜厚と上記第 2 の誘電体層の膜厚とが互いに異なることを特徴とする半導体装置。

【請求項 14】 請求項 11 に記載の半導体装置において、

上記第 1 のキャパシタと上記第 2 のキャパシタとは、相互の電極面積の比である（上記第 1 のキャパシタの面積）／（上記第 2 のキャパシタの面積）の値が、0.2 以上 2 以下であることを特徴とする半導体装置。

【請求項 15】 請求項 12 に記載の半導体装置において、

上記第 1 のキャパシタと上記第 2 のキャパシタの相互の電極面積の比は、0.5 以上 2 以下であることを特徴とする半導体装置。

【請求項 16】 請求項 1 または 2 に記載の半導体装置において、

上記第 1 の上部電極及び上記第 2 の上部電極に接続された MIS トランジスタと、

上記 MIS トランジスタのゲート電極に接続されたワード線と、

上記 MIS トランジスタに接続されたビット線とをさらに備えている半導体装置。

【請求項 17】 制御電圧供給部と、

電荷を蓄積する機能を持つゲート電極を有する電界効果トランジスタと、

上記制御電圧供給部と上記ゲート電極との間に互いに並列に介設された容量素子及び抵抗素子とを有し、多値の情報を保持可能な半導体装置。

【請求項 18】 請求項 17 に記載の半導体装置におい

て、
上記ゲート電極への電荷の注入は、上記制御電圧供給部から行われることを特徴とする半導体装置。

【請求項 19】 請求項 17 または 18 に記載の半導体装置において、

上記ゲート電極に蓄積された電荷量に応じて連続的に多値の情報を保持可能なアナログメモリとして機能することを特徴とする半導体装置。

【請求項 20】 請求項 17～19 のうちいずれか 1 つに記載の半導体装置において、

上記抵抗素子は誘電体材料からなっていることを特徴とする半導体装置。

【請求項 21】 請求項 17～20 のうちいずれか 1 つに記載の半導体装置において、

上記制御電圧供給部が上部電極となっており、

上記電界効果トランジスタのゲート電極が中間電極に接続されており、

上記容量素子は上記上部電極、上記中間電極及び上記上部電極と上記中間電極とに挟まれた誘電体層とからなる誘電体キャパシタであり、

上記誘電体層の抵抗成分は上記抵抗素子の 1 つとして機能することを特徴とする半導体装置。

【請求項 22】 請求項 20 または 21 に記載の半導体装置において、

上記抵抗素子の抵抗値は、上記抵抗素子に印加する電界強度に応じて変化することを特徴とする半導体装置。

【請求項 23】 請求項 20～22 のうちいずれか 1 つに記載の半導体装置において、

上記抵抗素子の抵抗値は、上記抵抗素子に印加する電界強度が所定値以下のときにはほぼ一定の値をとり、電界強度が上記所定値を越えると低くなることを特徴とする半導体装置。

【請求項 24】 請求項 20～23 のうちいずれか 1 つに記載の半導体装置において、

上記抵抗素子に流れる通過電流は、上記抵抗素子の両端に印加する電圧の絶対値が一定値以下のときには印加電圧にほぼ正比例して増加し、印加する電圧の絶対値が上記一定値を越えると指数関数的に増加する特性を示すことを特徴とする半導体装置。

【請求項 25】 請求項 24 に記載の半導体装置において、

上記抵抗素子に流れる通過電流が電圧に対してほぼ正比例して増加する電圧範囲では、上記抵抗素子の単位面積あたりに流れる通過電流が $100 \text{ [mA/cm}^2\text{]}$ 以下であることを特徴とする半導体装置。

【請求項 26】 請求項 20～25 のうちいずれか 1 つに記載の半導体装置において、

上記容量素子は強誘電体層を有し、

上記抵抗素子のうち少なくとも 1 つは強誘電体材料からなることを特徴とする半導体装置。

【請求項 27】 請求項 21～26 のうちいずれか 1 つに記載の半導体装置において、

上記容量素子と別個に設けられた少なくとも 1 つの抵抗素子をさらに備えていることを特徴とする半導体装置。

【請求項 28】 請求項 27 に記載の半導体装置において、

上記容量素子と別個に設けられた抵抗素子は、Ba、Sr、Ti、Zn、Fe、Cu のうちから選ばれた元素の酸化物または SiC、Si、Se のうちから選ばれた 1 つを含んでいるバリスタであることを特徴とする半導体装置。

【請求項 29】 請求項 27 に記載の半導体装置において、

上記容量素子と別個に設けられた抵抗素子は、互いに並列に接続され、且つ互いに逆方向に配置されたダイオードであることを特徴とする半導体装置。

【請求項 30】 請求項 27 に記載の半導体装置において、

MIS トランジスタをさらに備え、上記 MIS トランジスタのオン抵抗が上記容量素子と別個に設けられた抵抗素子として機能することを特徴とする半導体装置。

【請求項 31】 請求項 27 に記載の半導体装置において、

上記容量素子と別個に設けられた抵抗素子は、結晶性により抵抗値が変化する抵抗変化材料からなる抵抗変化素子であることを特徴とする半導体装置。

【請求項 32】 請求項 17～31 のうちいずれか 1 つに記載の半導体装置において、

ニューロンコンピュータのシナプス部として用いられることを特徴とする半導体装置。

【請求項 33】 制御電圧供給部と、電荷を蓄積する機能を持つゲート電極を有する電界効果トランジスタと、上記制御電圧供給部と上記ゲート電極との間に互いに並列に介設された容量素子及び抵抗素子とを有する半導体装置の駆動方法であって、

上記抵抗素子の両端に書き込み電圧を印加することで上記抵抗素子を経て上記ゲート電極に蓄積する電荷量を変化させ、上記電界効果トランジスタの閾値電圧を変化させるステップ (a) と、

上記電界効果トランジスタのドレイン電流の変化に応じて情報を読み出すステップ (b) とを含む半導体装置の駆動方法。

【請求項 34】 請求項 33 に記載の半導体装置の駆動方法において、

上記容量素子は誘電体層を有することを特徴とする半導体装置の駆動方法。

【請求項 35】 請求項 34 に記載の半導体装置の駆動方法において、

上記ステップ (a) では、上記抵抗素子の両端に印加する書き込み電圧の絶対値が一定値以下であれば、上記抵抗

素子に流れる通過電流が書込み電圧にほぼ正比例して増加し、

書込み電圧の絶対値が上記一定値を越える場合には、通過電流が書込み電圧の増加に対して指数関数的に増加することを特徴とする半導体装置の駆動方法。

【請求項36】 請求項35に記載の半導体装置の駆動方法において、

上記ステップ(a)で、書込み電圧の絶対値が上記一定値以下のときには、書込み電圧を印加する時間の長さにより上記ゲート電極に蓄積される電荷量の制御を行なうことを特徴とする半導体装置の駆動方法。

【請求項37】 請求項35または36に記載の半導体装置の駆動方法において、

上記ステップ(a)で、書込み電圧の絶対値が上記一定値以下のときには、上記抵抗素子に流れる単位面積あたりの通過電流が $100[\text{mA}/\text{cm}^2]$ 以下であることを特徴とする半導体装置の駆動方法。

【請求項38】 請求項35に記載の半導体装置の駆動方法において、

上記ステップ(a)で、上記抵抗素子の両端に印加する書込み電圧の絶対値が上記一定値を越える場合に、書込み電圧のパルス幅を互いに等しくし、書込み電圧の絶対値の大きさにより上記ゲート電極に蓄積される電荷量を制御することを特徴とする半導体装置の駆動方法。

【請求項39】 請求項38に記載の半導体装置の駆動方法において、

上記ステップ(a)で、上記抵抗素子の両端に印加する書込み電圧の絶対値が上記一定値を越える場合には上記ゲート電極に蓄積される電荷量の粗調整を行い、上記書込み電圧の絶対値が上記一定値を下回る場合には上記ゲート電極に蓄積される電荷量の微調整を行なうことを特徴とする半導体装置の駆動方法。

【請求項40】 請求項33～39のうちいずれか1つに記載の半導体装置の駆動方法において、

上記ステップ(a)では、上記抵抗素子の両端に印加する書込み電圧の範囲が絶対値の互いに等しい正負の範囲であることを特徴とする半導体装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその駆動方法に係り、特に神経回路網コンピュータ（ニューロンコンピュータ）などに利用可能で多値情報を保持可能な半導体装置及びその駆動方法に関する。

【0002】

【従来の技術】マルチメディアの進展に伴い、半導体装置の性能向上に対する要求は高まる一方である。大容量のデジタル情報を処理するため、例えばパーソナルコンピュータのCPUでは、 1GHz 以上の高速の動作をするものまで市販され始めている。

【0003】こういった半導体装置の性能向上への要求

に対し、半導体メーカーはこれまで主として半導体装置の微細化プロセス技術による性能向上によって応えてきた。

【0004】しかしながら、半導体装置の微細化に対し、物理的な限界すら指摘されるようになった現在では、これ以上の微細化による半導体装置の性能向上は、製造コストの点からも望めなくなっている。

【0005】上述の要求を解決する手段として、「1」と「0」の2値の信号を用いて演算を行なうこれまでのデジタル情報処理技術に対し、3値、4値へと情報を多値化する技術や、さらにその多値化技術を応用して生物の脳の機能を模倣した演算処理の行なえるコンピュータ（ニューロンコンピュータ）技術などが研究されている。

【0006】生物の脳は、演算機能を持ったニューロンと呼ばれる神経細胞と、その演算結果を他のニューロンに伝える、いわば配線の役割を担う神経繊維とを基本として構成されている。

【0007】ニューロンコンピュータにおいては、ニューロンに相当する半導体素子からなる多数のニューロン部と、ニューロン部に信号を伝達し、重みをかける多数のシナプス部とから構成されている。このニューロン部とシナプス部の組み合わせを以下ニューロン素子と呼ぶ。

【0008】前段の複数のニューロン素子からの異なった「重み」を持つ情報信号が、あるニューロン素子に入力されると、このニューロン素子において情報信号が加算され、この情報信号の和が閾値を超えるとニューロン素子が「発火」し、信号が次段のニューロン素子に出力される。この繰り返しにより、情報が処理されていく。

【0009】また、生物の脳が学習する過程は、シナプス結合における重みが増減していく過程としてとらえられている。すなわち、様々な入力信号の組み合わせに対し、正しい出力が得られるように重みが徐々に修正され、最終的に最適の値に落ち着くのである。

【0010】このような学習機能を有する神経回路網を構成するためには、各シナプス結合の強さを適宜変更でき、且つその変更した値を記憶しておく必要がある。そのため、多値技術はニューロンコンピュータの実現に必須の技術となっている。

【0011】上述のニューロンコンピュータは多値技術の応用の一例であるが、もちろん多値の情報を安定に記憶する多値メモリの研究も盛んに行われている。これらのことから分かるように、情報の多値化技術は、将来の半導体装置において極めて重要な技術となっている。

【0012】このような多値化技術の例として、強誘電体の分極ヒステリシスを利用して1つのメモリセルに3値以上の情報を記憶させるようにした従来技術が、特開平8-124378「強誘電体メモリ」に記載されている。

【0013】図49は、多値メモリとして機能する従来の半導体装置の断面図である。同図より、従来の半導体装置のメモリセルは、シリコン基板1107と、シリコン基板1107内に埋め込んで設けられたウェル線BUL1及びウェル線BUL2と、ウェル線BUL1及びウェル線BUL2の上にそれぞれ設けられた強誘電体からなるPZT膜1109と、PZT膜1109の上に設けられたワード線WL1と、ワード線WL1とウェル線BUL1との上方に設けられたビット線BL1と、ワード線WL1とウェル線BUL2との上方に設けられたビット線BL2とを備えている。また、ウェル線BUL1とウェル線BUL2内には、図示しないドレイン及びソースがそれぞれ設けられ、ビット線BL1はビットコンタクト（図示せず）を介してウェル線BUL1内のドレインと接続され、ビット線BL2はビットコンタクトを介してウェル線BUL2内のドレインと接続されている。

【0014】情報の書込みは、ワード線WL1とウェル線BUL1及びウェル線BUL2に電圧を印加してPZT膜1109の分極を変化させることにより行なわれる。

【0015】図50は、上述の従来例の各メモリセルにおいて、ゲート電極に印加される電圧VGB（＝ゲート電極の電位－ウェルの電位）と強誘電体の分極の大きさとの関係（ヒステリシス特性）を示すグラフである。強誘電体はヒステリシス特性を有することから、印加電圧の履歴により分極状態が変化し、電圧を除荷しても、図50の点A、点B、点Cで示すような分極状態が残留する。強誘電体が飽和分極する $V=V_1$ の電圧印加後に電圧を除荷すると、分極は点Aの状態に、 $V=V_2$ の電圧印加後に電圧を除荷するか $V=V_1$ の電圧印加後に $V=-V_2$ の電圧を印加してから電圧を除荷すると、分極は点Cの状態に、 $V=-V_1$ の電圧印加後に電圧を除荷すると、分極は点Bの状態になる。

【0016】図51は、図50に対応して強誘電体が点A、点C及び点Bの状態のときの、メモリセルのドレイン電流Iとゲート電圧VGBとの関係を示すグラフである。同図において、左側の曲線が点A、中央の曲線が点C、右側の曲線が点Bの状態に各々対応する。点Aの状態においては、強誘電体が正に大きく分極しているために、メモリセルの閾値電圧 V_{thA} は、分極していない点Cの態での閾値電圧 V_{thC} よりも小さくなっている。また、点Bの状態においては、強誘電体が負に大きく分極しているために、メモリセルの閾値電圧 V_{thB} は、分極していない点Cの態での閾値電圧 V_{thC} よりも大きくなっている。このように、強誘電体を点A、点C及び点Bに示す3つの分極状態に変化させることによって、メモリセルの閾値電圧を異なる3種類に制御することができるので、この閾値電圧の値に応じてメモリセルに3値の情報を記憶させることができる。上記従来技術ではさらに点Aと点Cの間の分極状態を利用することでさらな

る多値化が可能であるとしている。

【0017】

【発明が解決しようとする課題】しかしながら、上述の従来例は、分極状態“C”を正確に得ることが難しいという根本的な課題を有している。従来技術では、適当な電圧を印加して誘電体を弱く分極させた後に電圧を除荷すると分極はゼロ近くになるとしているが、図50からも明らかなように、強誘電体のヒステリシスは抗電圧 V_c 付近で大きく変化する特性を有するのに対し、 $-V_2$ の絶対値は V_c に近い値にならざるを得ないためその制御が極めて困難であり、 V_2 の値がノイズなどで若干揺らいだけで除荷後の分極値は大きく変化してしまう。また、このような書込み電圧のバラツキ以外にも強誘電体の結晶状態や膜厚などの変化によっても抗電圧 V_c が変化してしまうため、結果として信頼性が高く再現性の良好な多値記憶特性を安定して得ることは極めて困難であった。なお、本明細書中で抗電圧とは、強誘電体のヒステリシスを大きく変化させ、強誘電体キャパシタの電荷分布を変更するのに必要な電圧のことを指すものとする。

【0018】本発明の目的は、信頼性が高く情報を安定に記憶することが可能で、ニューロンコンピュータのニューロン素子としても利用可能な半導体装置及びその駆動方法を提供することにある。

【0019】

【課題を解決するための手段】本発明の第1の半導体装置は、半導体基板と、上記半導体基板上に形成された第1の上部電極、第1の誘電体層、及び第1の下部電極からなる第1のキャパシタと、上記半導体基板上に形成された第2の上部電極、第2の誘電体層、及び第2の下部電極からなる第2のキャパシタとを配置して構成される記憶部を備え、3値以上の情報を保持可能な半導体装置であって、上記第1の誘電体層と上記第2の誘電体層のヒステリシス特性における抗電圧値が互いに異なっている。

【0020】これにより、キャパシタ全体のヒステリシス曲線において、準安定点が形成され、書込み電圧の揺らいだ場合にも3値以上の情報を安定に記憶することができる。

【0021】動作時には、上記第1のキャパシタの分極方向と上記第2のキャパシタの分極方向とが互いに同じとなることにより、第1のキャパシタと第2のキャパシタの抗電圧の違いによるヒステリシス曲線上に1つ以上の準安定点を生じさせることができるようになる。この結果、3値以上の情報を安定に記憶することができるようになる。

【0022】また、上記半導体基板上に形成されたゲート絶縁膜と、上記ゲート絶縁膜の上に形成された導体膜からなるゲート電極とを有するトランジスタをさらに備え、上記第1の下部電極と上記第2の下部電極とが共に

上記ゲート電極と一体化されていることにより、安定に多値情報の記憶動作を行なうことができる半導体装置の製造工程数を少なくすることができるので、半導体装置の製造コストを抑えることができる。

【0023】また、上記半導体基板上に形成されたゲート絶縁膜と上記ゲート絶縁膜の上に形成された導体膜からなるゲート電極とをさらに備え、上記第1の下部電極と上記第2の下部電極とがそれぞれ上記ゲート電極と互いに接続されていることにより、キャパシタに印加された電圧がゲート電極に伝達され、記憶部の状態によってゲート電圧印加時に流れるドレイン電流が変化するので、多値情報を安定して記憶することができる。

【0024】上記第1のキャパシタ及び上記第2のキャパシタのそれぞれの分極が0から飽和するまでの前半過程で、電圧の変化に対する分極の変化率が相異なることにより、キャパシタ全体のヒステリシス曲線上に準安定点を確実に形成することができる。すなわち、書込み電圧がノイズなどにより揺らいだ場合にも安定に記憶動作を行なわせることができる。

【0025】また、上記第1の誘電体層及び上記第2の誘電体層は、共に強誘電体層を有していることにより、電圧をキャパシタに印加した後の残留分極によって多値に対応した分極状態を持たせることができるため、多値の記憶動作をさせることが可能になる。

【0026】上記第1の上部電極と上記第2の上部電極とは互いに接続されていることにより、書込み電圧を同一の配線で印加することができる。

【0027】上記第1の誘電体層が上記第2の誘電体層と共用されていることにより、第1の誘電体層と第2の誘電体層を別個に形成する場合に比べて記憶部の面積を小さくでき、且つ製造工程も少なくすることができる。

【0028】上記第1の誘電体層と上記第2の誘電体層とを構成する部材の材料が互いに同一で、且つ上記第1のキャパシタ及び上記第2のキャパシタと並列に接続された常誘電体キャパシタをさらに有していてもよい。

【0029】上記第2のキャパシタと上記ゲート電極との間に介設されたキャパシタをさらに備えていることにより、第2のキャパシタの見かけの抗電圧を変化させることができ、設計の自由度をさらに上げることができる。

【0030】上記第1の誘電体層と上記第2の誘電体層の面積が互いに異なっていることによってもキャパシタの抗電圧を変化させることができる。

【0031】上記第1の誘電体層と上記第2の誘電体層とは互いに異なる材料から構成されていることにより、第1のキャパシタと第2のキャパシタの抗電圧が互いに異なるように形成することが容易となる。

【0032】上記第1の誘電体層の膜厚と上記第2の誘電体層の膜厚とが互いに異なることにより、第1のキャパシタと第2のキャパシタの抗電圧が互いに異なるよう

に形成することができる。

【0033】上記第1のキャパシタと上記第2のキャパシタとは、相互の電極面積の比である（上記第1のキャパシタの面積）／（上記第2のキャパシタの面積）の値が、0.2以上2以下であることにより、第1の誘電体層と第2の誘電体層とを構成する材料が同一の場合、記憶情報の分離性が高く、安定に3値の情報を保持することができる。

【0034】特に、上記第1のキャパシタと上記第2のキャパシタとは、相互の電極面積の比が、0.5以上2以下であることにより、記憶情報の分離性が高く、4値以上の情報であっても安定に保持する半導体装置を実現することができる。

【0035】本発明の第2の半導体装置は、制御電圧供給部と、電荷を蓄積する機能を持つゲート電極を有する電界効果トランジスタと、上記制御電圧供給部と上記ゲート電極との間に互いに並列に介設された容量素子及び抵抗素子とを有し、多値の情報を保持可能である。

【0036】これにより、抵抗素子に書込み電圧を印加したときにこの抵抗素子中に電流が流れるので、電荷がゲート電極に蓄積され、電界効果トランジスタの閾値を変化させることができる。また、電界効果トランジスタは複数の状態をとり、その状態が一定時間保持されるので、多値の情報を保持することができる。さらに、電界効果トランジスタのドレイン電流の変化に応じて情報を読み出すことができるので、多値メモリとしてだけでなく、ニューロンコンピュータにおいて信号の重み付けを行なう素子としても利用することができる。

【0037】上記ゲート電極への電荷の注入は、上記制御電圧供給部から行われることにより、フラッシュメモリとは異なった方法で電荷の注入を行なうことができる。

【0038】上記ゲート電極に蓄積された電荷量に応じて連続的に多値の情報を保持可能なアナログメモリとして機能することにより、フラッシュメモリなどに比べてニューロンコンピュータの重み付けなど、多様な用途に用いることができる。

【0039】また、上記抵抗素子は誘電体材料からなっていることにより、ゲート電極に蓄積された電荷がリークしにくくなっているため、例えばノンドープのシリコンから抵抗素子を形成した場合と比べると入力された情報をより長い時間保持することができる。また、抵抗素子をトランジスタ上に形成することができるため、セル面積を小さくすることもできる。

【0040】上記制御電圧供給部が上部電極となっており、上記電界効果トランジスタのゲート電極が中間電極に接続されており、上記容量素子は上記上部電極、上記中間電極及び上記上部電極と上記中間電極とに挟まれた誘電体層とからなる誘電体キャパシタであり、上記誘電体層の抵抗成分は上記抵抗素子の1つとして機能するこ

とにより、例えば、誘電体キャパシタの誘電体層が抵抗素子と同一物であってもよいので、この場合には抵抗素子と誘電体層とを別個に設ける場合に比べて装置の面積を小さくすることができる。上記抵抗素子の抵抗値は、上記抵抗素子に印加する電界強度に応じて変化することにより、ゲート電極に蓄積する電荷量を調節することができる。

【0041】また、上記抵抗素子の抵抗値は、上記抵抗素子に印加する電界強度が所定値以下のときにはほぼ一定の値をとり、電界強度が上記所定値を越えると低くなることにより、例えば、所定値を越える電界をかけて短時間でゲート電極に電荷を蓄積する場合と所定値以下の電界をかけて比較的長い時間をかけて電荷を蓄積する場合など、複数の方法により装置を駆動することが可能になる。

【0042】上記抵抗素子に流れる通過電流は、上記抵抗素子の両端に印加する電圧の絶対値が一定値以下のときには印加電圧にほぼ正比例して増加し、印加する電圧の絶対値が上記一定値を越えると指数関数的に増加する特性を示すことにより、上述のように、複数の方法により装置を駆動することが可能になる。

【0043】また、上記抵抗素子に流れる通過電流が電圧に対してほぼ正比例して増加する電圧範囲では、上記抵抗素子の単位面積あたりに流れる通過電流が100[mA/cm²]以下であることにより、書き込まれた情報あるいはその履歴情報を一定時間の間保持することができる。なお、情報の保持時間(復帰時間)は、通過電流が小さい程長くなる。

【0044】上記容量素子は強誘電体層を有し、上記抵抗素子のうち少なくとも1つは強誘電体材料からなることにより、強誘電体層の分極方向によっても中間電極及びゲート電極の電荷蓄積量を変化させることができるので、本発明の半導体装置は、常誘電体層を有する容量素子を用いる場合に比べてより多くの値を取り得る多値メモリとして使用することができる。また、極めて重み付けの自由度が高いニューロン素子としても利用可能である。

【0045】上記容量素子と別個に設けられた少なくとも1つの抵抗素子をさらに備えていることにより、種々の特性を有する材料を抵抗素子に使用することが可能になるので、より効率的に多値を保持する半導体装置を実現しやすくなる。

【0046】上記容量素子と別個に設けられた抵抗素子は、Ba、Sr、Ti、Zn、Fe、Cuのうちから選ばれた元素の酸化物またはSiC、Si、Seのうちから選ばれた1つを含んでいるバリスタであることにより、抵抗素子の抵抗値が小さい電圧領域においてゲート電極に電荷を注入し、抵抗値が大きい電圧領域においては微調整を行なう、といった制御が可能になる。

【0047】上記容量素子と別個に設けられた抵抗素子

は、互いに並列に接続され、且つ互いに逆方向に配置されたダイオードであってもよい。

【0048】MISトランジスタをさらに備え、上記MISトランジスタのオン抵抗が上記容量素子と別個に設けられた抵抗素子として機能する構成であってもよい。

【0049】上記容量素子と別個に設けられた抵抗素子は、結晶性により抵抗値が変化する抵抗変化材料からなる抵抗変化素子であってもよい。

【0050】また、ニューロンコンピュータのシナプス部として用いられることで、高性能のニューロンコンピュータを実現することができるようになる。

【0051】次に、本発明の半導体装置の駆動方法は、制御電圧供給部と、電荷を蓄積する機能を持つゲート電極を有する電界効果トランジスタと、上記制御電圧供給部と上記ゲート電極との間に互いに並列に介設された容量素子及び抵抗素子とを有する半導体装置の駆動方法であって、上記抵抗素子の両端に書き込み電圧を印加することで上記抵抗素子を経て上記ゲート電極に蓄積する電荷量を変化させ、上記電界効果トランジスタの閾値電圧を変化させるステップ(a)と、上記電界効果トランジスタのドレイン電流の変化に応じて情報を読み出すステップ(b)とを含んでいる。

【0052】この方法により、ステップ(a)で容量素子及び抵抗素子に電圧を印加することで書き込まれた情報は一定時間保持され、しかも、ステップ(b)において電界効果トランジスタのドレイン電流の変化に応じた多値の情報を読み出すことができるので、本発明の半導体装置を多値メモリとして駆動させることができる。また、ニューロンコンピュータに用いられる場合においては、入力された情報に重みをかける機能を有する素子としても利用できる。

【0053】また、上記容量素子は誘電体層を有することにより、ゲート電極に蓄積された電荷がリークしにくくなっているので、例えば、抵抗値がより低いノンドープのシリコンから抵抗素子を形成した場合と比べると入力された情報をより長い時間保持することができる。

【0054】上記ステップ(a)では、上記抵抗素子の両端に印加する書き込み電圧の絶対値が一定値以下であれば、上記抵抗素子に流れる通過電流が書き込み電圧にほぼ正比例して増加し、書き込み電圧の絶対値が上記一定値を越える場合には、通過電流が書き込み電圧の増加に対して指数関数的に増加することにより、情報の書き込みを一定値を越えるパルス電圧を用いて短時間で行なう場合と、一定値以下の電圧を印加して行なう場合とを使い分けることができる。特にニューロン素子として用いられる場合には、一定値を越える電圧をかけて電界効果トランジスタの閾値を変化させることで学習動作を実行し、比較的低い電圧動作で記憶動作の再生を行なうことができる。

【0055】また、上記ステップ(a)で、書き込み電圧

の絶対値が上記一定値以下のときには、書込み電圧を印加する時間の長さにより上記ゲート電極に蓄積される電荷量の制御を行なうことができる。つまり、比較的単純な方法で多値の情報を書き込むことができる。

【0056】上記ステップ(a)で、書込み電圧の絶対値が上記一定値以下のときには、上記抵抗素子に流れる単位面積あたりの通過電流が $100[\text{mA}/\text{cm}^2]$ 以下であることにより、半導体装置の復帰時間、つまり情報の保持時間を一定以上確保することができる。

【0057】上記ステップ(a)で、上記抵抗素子の両端に印加する書込み電圧の絶対値が上記一定値を超える場合に、書込み電圧のパルス幅を互いに等しくし、書込み電圧の絶対値の大きさにより上記ゲート電極に蓄積される電荷量を制御することもできる。つまり、書込み電圧の絶対値の大きさによっても多値の情報を書き込むことができることとなり、この場合、書込み時間が短くできるので、短時間で情報の記憶させることが可能になる。

【0058】上記ステップ(a)で、上記抵抗素子の両端に印加する書込み電圧の絶対値が上記一定値を超える場合には上記ゲート電極に蓄積される電荷量の粗調整を行い、上記書込み電圧の絶対値が上記一定値を下回る場合には上記ゲート電極に蓄積される電荷量の微調整を行なうことで、効率的に多値の情報を書き込むことが可能になる。

【0059】上記ステップ(a)では、上記抵抗素子の両端に印加する書込み電圧の範囲が絶対値の互いに等しい正負の範囲であることにより、正電圧を印加する場合と負電圧を印加する場合とでは、電界効果トランジスタのドレイン電流特性が互いに異なるので、正電圧のみを印加する場合に比べて半導体装置により多くの情報を保持させることが可能となる。

【0060】

【発明の実施の形態】(第1の実施形態)以下、本発明の第1の実施形態について図面を参照しながら説明する。

【0061】図1は、本発明の実施形態に係る多値メモリの上面図である。また、図2は図1のII-II線における断面図、図3は図1のIII-III線における断面図である。図1、図2、図3については、同一部材には同一の符号を附記している。なお、図1では最上面の構成物のみ実線で示している。さらに、図2、図3と共通する部分についても、図を見やすくするため、符号を一部省略して示している。

【0062】図2に示すように、本実施形態の多値メモリは、p型のSi基板1と、Si基板1上にLOCOS法により形成されたシリコン酸化物からなる素子分離膜5と、素子分離膜5により区画されたSi基板1の活性領域上に形成されたシリコン酸化物からなる厚さ3nmのゲート絶縁膜7と、ゲート絶縁膜上に形成されたn型不純物を含むポリシリコンからなるゲート電極9と、S

i基板1内のゲート電極9の側方に素子分離膜5と接して形成され、n型不純物を含むドレイン領域3a及びソース領域3bと、ドレイン領域3aとパッド部15aとを接続するプラグ配線13cと、ソース領域3bとパッド部15bとを接続するプラグ配線13dと、プラグ配線13cとプラグ配線13dとを埋める第1の層間絶縁膜11と、第1の層間絶縁膜11の上に形成された厚さ100nmのチタン酸ビスマス(BIT)からなる第1の強誘電体層16と、第1の強誘電体層16の上に形成された厚さ400nmのBITからなる第2の強誘電体層18と、第2の強誘電体層18の上に形成された酸化シリコンからなる第2の層間絶縁膜21と、第2の層間絶縁膜21の上に形成された配線25cと、第1の強誘電体層16、第2の強誘電体層18及び第2の層間絶縁膜21を貫通してパッド部15aと配線25cとを接続する配線25aと、第1の強誘電体層16、第2の強誘電体層18及び第2の層間絶縁膜21を貫通してパッド部15bに接続する配線25bとを備えている。なお、本実施形態では、ゲート電極9のゲート長は $0.5\mu\text{m}$ 、ゲート幅が $5\mu\text{m}$ である。

【0063】また、図3に示すように、本実施形態の多値メモリは、p型のSi基板1と、Si基板1上にLOCOS法により形成されたシリコン酸化物からなる素子分離膜5と、素子分離膜5により区画されたSi基板1の活性領域上に形成されたシリコン酸化物からなる厚さ3nmのゲート絶縁膜7と、ゲート絶縁膜7上に形成されたn型不純物を含むポリシリコンからなるゲート電極9と、ゲート電極9及び素子分離膜5の上に形成された酸化シリコンからなる第1の層間絶縁膜11と、第1の層間絶縁膜11の上に形成されたPt/TiNからなりサイズが $0.5\mu\text{m}\times 0.5\mu\text{m}$ の第1の中間電極14aと、同じく第1の層間絶縁膜11の上に形成されたPt/TiNからなりサイズが $0.5\mu\text{m}\times 0.5\mu\text{m}$ の第2の中間電極14bと、第1の層間絶縁膜11を貫通してゲート電極9と第1の中間電極14aとを接続するプラグ配線13aと、第1の層間絶縁膜11を貫通してゲート電極9と第2の中間電極14bとを接続するプラグ配線13bと、第1の層間絶縁膜11、第1の中間電極14a及び第2の中間電極14bの上に形成されたBITからなる厚さ100nmの第1の強誘電体層16と、第1の強誘電体層16の上に第1の中間電極14aと互いに平行に延びて相対向するPt/TiNからなるサイズが $0.5\mu\text{m}\times 0.5\mu\text{m}$ の第1の上部電極17と、第1の強誘電体層16の上に形成されたBITからなる厚さ400nmの第2の強誘電体層18と、第2の強誘電体層18の上に第2の中間電極14bと平行に延びて相対向するPt/TiNからなるサイズが $0.5\mu\text{m}\times 0.5\mu\text{m}$ の第2の上部電極19と、第2の強誘電体層18の上に形成された酸化シリコンからなる第2の層間絶縁膜21と、第2の強誘電体層18と第2の層間

絶縁膜21とを貫通して第1の上部電極17に接続され、第2の層間絶縁膜21の上面上を経由してから第2の層間絶縁膜21を貫通して第2の上部電極19に接続される配線25cとを備えている。

【0064】なお、第1の強誘電体層16とこれを挟み込む第1の中間電極14aと第1の上部電極17とからなる強誘電体キャパシタをキャパシタMFM1とし、第1の強誘電体層16と第2の強誘電体層18の2層を挟み込む第2の中間電極14bと第2の上部電極19とからなる強誘電体キャパシタをキャパシタMFM2とする。また、キャパシタMFM1とキャパシタMFM2とを合わせてキャパシタMFMsとする。

【0065】図5は、本実施形態の多値メモリを示す等価回路図である。

【0066】同図に示すように、本実施形態の多値メモリはMOSトランジスタのゲート電極上に2つの強誘電体キャパシタを互いに並列に接続させた構造を有する。なお、図5において、キャパシタMFM1の強誘電体層の膜厚は100nm、電極の大きさは0.5μm×0.5μmである。また、キャパシタMFM2の強誘電体層の膜厚は500nm、電極の大きさは0.5μm×0.5μmである。

【0067】次に、図4(a)～(e)は本実施形態の多値メモリの製造工程を示す断面図である。同図は、図1のIII-III線における断面を示している。以下、同図を用いて本実施形態の多値メモリの製造方法を説明する。

【0068】まず、図4(a)に示す工程で、p型のSi基板1に、LOCOS法により、図示しない窒化シリコンをマスクとして酸化処理を施し、素子分離膜5を形成する。その後、図示しない窒化シリコンを昇温した硝酸などで溶解する。次いで、例えば900℃でSi基板1を熱酸化し、厚さ3nmの酸化シリコン膜をSi基板1上に形成し、これをゲート絶縁膜7とする。その後、LPCVD法によりリンをドーブした多結晶シリコンを堆積してゲート電極9を形成する。続いて、ゲート電極9とゲート絶縁膜7とをドライエッチングによりパターニングし、その後、ゲート電極9をマスクとしてゲート電極9の両側方にボロンイオンをイオン注入し、その後、900℃、30分の熱処理を行なうことによって、図2に示すドレイン領域3a、ソース領域3bをそれぞれ形成する。なお、本工程で作製されるMOSトランジスタは、ゲート長が0.5μm、ゲート幅が5μmである。

【0069】次に、図4(b)に示す工程で、LPCVD法により基板上にシリコン酸化物(SiO₂)を堆積して第1の層間絶縁膜11を形成する。次に、第1の層間絶縁膜11上に形成したレジストマスクを用いてドライエッチングすることでコンタクト窓を形成した後、LPCVD法でポリシリコンをコンタクト窓内に堆積す

る。次いで、CMP法によりポリシリコンを平坦化することによりプラグ配線13a、13b、13c及び13dを形成する。次に、スパッタ法により厚さ20nmの窒化チタンを第1の層間絶縁膜11の上に堆積した後、スパッタ法により厚さ50nmのPt層を堆積する。続いて、スパッタ法によりPt層の上に堆積した酸化シリコンをパターニングしてハードマスクを形成し(図示せず)、これをマスクとしてPt/TiN層をArミリングによりパターニングして第1の中間電極14a、第2の中間電極14bと図2に示すパッド部15a、15bを形成する。その後、希釈したフッ酸などで酸化シリコンからなるハードマスクを除去する。

【0070】次に、図4(c)に示す工程で、スパッタ法により基板温度550℃、酸素分圧20%、RFパワー100Wの条件で基板上に厚さ100nmのBITを堆積し、第1の強誘電体層16を形成する。その後、スパッタ法によりPt層を堆積して、図示しない酸化シリコンからなるハードマスクを用いArミリングによりPt層をパターニングし、第1の上部電極17を形成する。その後、希釈したフッ酸などで図示しない酸化シリコンからなるハードマスクを除去する。なお、本実施形態では、第1の中間電極14a及び第1の上部電極17の寸法は0.5μm×0.5μmとする。

【0071】次に、図4(d)に示す工程で、スパッタ法により基板温度550℃、酸素分圧20%、RFパワー100Wの条件で基板上に厚さ400nmのBITを堆積し、第2の強誘電体層18を形成する。次に、スパッタ法により第2の強誘電体層18の上にPt層を堆積した後、酸化シリコンからなるハードマスク(図示せず)を用いたArミリングによりPt層をパターニングし、第2の上部電極19を形成する。その後、希釈したフッ酸などでハードマスク(図示せず)を除去する。なお、本実施の形態では、第2の中間電極14b及び第2の上部電極19の寸法は0.5μm×0.5μmとしている。

【0072】次に、図4(e)に示す工程で、TEOSを用いたプラズマCVDにより酸化シリコン膜を基板上に堆積した後、CMP法により平坦化することで第2の層間絶縁膜21を形成する。次いで、第2の層間絶縁膜21に形成したレジストマスクを用いて第2の層間絶縁膜21をドライエッチングし、第2の上部電極19に到達するコンタクト窓を形成する。一方、第2の層間絶縁膜21に形成したレジストマスクを用いて第2の層間絶縁膜21及び第2の強誘電体層18をドライエッチングし、第1の上部電極17に到達するコンタクト窓を形成する。なお、上部電極19と第2の強誘電体層18とのエッチング選択比が十分大きい場合には、第2の上部電極19に到達するコンタクト窓と第1の上部電極17に到達するコンタクト窓とを同時に形成することもできる。次に、スパッタ法によりAlSiCu合金をコンタクト窓

内に堆積した後、このAlSiCu合金をドライエッチングすることで配線25a、25b、25cをそれぞれ形成する。

【0073】以上の方法により、本実施形態の多値メモリが製造される。

【0074】図6は、キャパシタMFM1の電圧-分極ヒステリシス特性(P-V特性)を示す図である。なお、これはキャパシタMFM1のみを電源に接続した場合のヒステリシス特性を示している。

【0075】同図を参照すると、キャパシタMFM1では膜厚が100nm程度と薄いため抗電圧は小さいが、約5V以上の電圧を印加した後の電圧0Vでの分極値(残留分極)はBITという材料の特性を反映して $4\mu\text{C}/\text{cm}^2$ 程度が得られることが分かる。

【0076】一方、図7はキャパシタMFM2のP-V特性を示す図である。同図に示すように、キャパシタMFM2を構成する強誘電体材料はキャパシタMFM1と同じBITであるが、膜厚が合計500nmと厚いため、抗電圧値がキャパシタMFM1の5倍程度と高い値を示している。しかし、残留分極の値は材料特有であるため、キャパシタMFM1と同等の $4\mu\text{C}/\text{cm}^2$ 程度である。

【0077】以上のような、ヒステリシス特性の互いに異なる2つの強誘電体キャパシタを並列接続した構造を有する本実施形態の多値メモリの駆動方法とその動作について、図8～10を用いて説明する。

【0078】図10は、本実施形態の多値メモリにおいて、上部ゲート電極と下部電極の間に印加した電圧と、2つの強誘電体キャパシタの実効的分極とを示した図である。同図に示すように、本実施形態の多値メモリに用いられるキャパシタは互いに並列に接続されているため、キャパシタ全体の分極は、ちょうどキャパシタMFM1の分極とキャパシタMFM2の分極の面積比に応じた平均値を示す。

【0079】図8は、キャパシタMFM1とキャパシタMFM2を並列に接続して構成されるキャパシタ全体(キャパシタMFMs)の分極ヒステリシス特性を説明するための図である。同図において、破線で示した2つのキャパシタの分極の平均値がキャパシタMFMsの分極となる。つまり、キャパシタMFMsの分極は、図10に示すヒステリシス特性となる。

【0080】図8に示す領域xでは、キャパシタMFM2の分極は電圧Vの変化に対してほとんど変化しない。一方、キャパシタMFM1の分極は電圧Vの変化に対して前半では急激に増大し、後半では変化が小さくなる。その結果、両者の合成値は領域xの前半では急激に変化し、領域xの後半では変化が緩やかになる。また、領域yでは、キャパシタMFM2の分極は電圧Vの変化に対して大きく変化するが、キャパシタMFM1の分極は電圧Vの変化に対してほとんど変化しない。その結果、両

者の合成値は領域yの前半では急峻に変化するが、キャパシタMFM2単独のときよりも緩やかに変化する。

【0081】このように、本実施形態の多値メモリは、抗電圧が互いに異なる2つの強誘電体キャパシタを有するため、図6に示すような一般的なヒステリシス形状とは異なり、図10にC点で示すような準安定点を持つ。このため、書込み電圧が4V付近では、電圧変化に対する分極の変化が緩やかになっており、書込み電圧がノイズなどにより揺らいだ場合でも、分極の変化を小さく抑えることができる。

【0082】なお、この効果を得るためには、ヒステリシス曲線において電圧変化に対する分極の変化が急峻になる領域がずれていることが必要であることから、キャパシタの抗電圧が互いに異なっている必要がある。特に、分極が0から飽和するまでの前半過程において、電圧の変化に対する分極の変化率が異なる2つの誘電体材料を用いることにより、準安定点を確実に得ることができる。同様に、キャパシタを3個以上並列に並べたときも、キャパシタの抗電圧の差が十分に異なっていることが必要となる。

【0083】図9は、キャパシタMFM1及びキャパシタMFM2に加えて面積がこれらのキャパシタと等しいキャパシタMFM3をさらに加えたときのキャパシタのP-V特性を示す図である。同図に破線で示したがキャパシタ全体のP-V特性である。キャパシタが2つのときと同様にキャパシタの抗電圧が互いに異なっているため、ヒステリシス曲線において準安定点Fをさらに形成することができる。また、このときC点はC'点に移動する。これにより、少なくとも4値以上を安定に記録することができる。

【0084】次に、本実施形態における並列強誘電体キャパシタの多値動作の駆動法について説明する。

【0085】まず、図10のA、S、C、D、Pの各点を結んだ線は、各電圧を印加したときのキャパシタの分極を表している。-8Vから印加電圧を上げるとキャパシタの分極はA点の状態からS点、C点へと矢印の方向に変化していく。8Vの電圧を印加すると、キャパシタの分極は飽和し、これ以上の電圧を印加してもD点の状態に分極は増加しない。そして、一度キャパシタに印加する電圧を8Vまで上げた後、電圧を下げると、キャパシタの分極状態はP点を経てA点に向かい、-8VのときにA点の状態に戻る。

【0086】ここで、キャパシタMFM1及びキャパシタMFM2の状態について説明すると、-8Vの電圧がキャパシタに印加されたA点の状態では、図6、図7からも分かるようにキャパシタMFM1及びキャパシタMFM2の分極が負電荷で飽和している。この状態でキャパシタに印加した電圧を除荷すると印加電圧が0Vとなり、S点の状態になる。なお、キャパシタMFM1とキャパシタMFM2の面積は同じであるので、キャパシタ

MFM1とキャパシタMFM2の平均値となっている(図8参照)。

【0087】次に、S点の状態から印加電圧を約4Vに上げると、キャパシタMFM1の分極は正電荷で飽和され、キャパシタMFM2は正電荷を持つが飽和していない状態となる。2つのキャパシタの分極が平均されて、準安定点であるC点の状態になる。なお、図10には、ノイズマージンを考慮して3.5Vの電圧をキャパシタに印加し、状態Bとなる場合が示されている。続いて、印加した電圧を除荷すると、分極がほぼ $0\mu\text{C}/\text{cm}^2$ の状態Qとなる。

【0088】次に、キャパシタに印加する電圧を8Vまで上げるとキャパシタはD点の状態となり、このときキャパシタMFM1とキャパシタMFM2の分極はともに正電荷で飽和している。この後、電圧を除荷すると、キャパシタは点Pの状態となる。

【0089】次に、キャパシタに印加する電圧を-8Vまで下げるとキャパシタはA点の状態に戻る。

【0090】このように、本実施形態の多値メモリは、例えば-8V、3.5V及び8Vの3通りの書込み電圧を印加することによりノイズ等に対して安定に記憶動作をすることができる。

【0091】図11は、本実施形態の多値メモリについて、それぞれ+8V、+3.5V及び-8Vで書込み後に、読出し電圧であるゲート電圧を変化させた場合のドレイン電流を示す図である。

【0092】同図に示すように、例えば読出し電圧が2~3Vの範囲では、各状態でドレインへ流れる電流値はお互いに1桁以上の差異が認められており、安定して記憶情報の読出しが可能であることが分かる。

【0093】次に、特に書込みが不安定になりやすいヒステリシス曲線の途中の点での書込みについて、飽和電圧の半分の電圧での書込み電圧が、10%揺らいだ場合を例に取って説明する。

【0094】図12は、単一の強誘電体キャパシタを備えた従来の多値メモリについて、書込み電圧が10%揺らいだ際に、分極値にどの程度揺らぎが生じるかを説明するための図である。

【0095】また、図13は、図12のA部で示した部分を拡大して示した図である。

【0096】図12及び図13から、従来技術の方式では、途中の分極状態を得るにはヒステリシス曲線において分極が急峻に変化する部分を使わざるを得ないため、10%程度の揺らぎに対して(図13参照)、本来 $1.7\mu\text{C}/\text{cm}^2$ の分極値を期待すべくところ、分極値は $1.4\sim 2.0\mu\text{C}/\text{cm}^2$ の間で大きく変動することが理解される。

【0097】一方、図14は、本実施形態の多値メモリにおいて、図12、図13と同様に書込み電圧が揺らい

だ際に分極値の揺らぎを説明するための図であり、図15は、図14に示すB部を拡大したものである。

【0098】図14及び図15から、本実施形態の多値メモリにおいては、書込み電圧の揺らぎに対する分極変化の急峻性が、従来技術に対して大幅に改善されることが理解される。例えば、本来 $-0.15\mu\text{C}/\text{cm}^2$ の分極値を期待するところ、 $\pm 10\%$ の電圧揺らぎに対する分極値の変動は $-0.1\sim -0.2\mu\text{C}/\text{cm}^2$ 程度と、揺らぎの幅が従来技術の $0.6\mu\text{C}/\text{cm}^2$ に対して $0.1\mu\text{C}/\text{cm}^2$ 以下と大幅に改善されている。これは、強誘電体キャパシタを並列接続し、且つお互いの抗電圧を変化させることにより、ヒステリシスの途中に準安定点が生じるためである。

【0099】これら、書込み電圧(書込み電界強度)の揺らぎについては、ノイズのほか強誘電体層の膜厚変動や、強誘電体層の結晶性の差による誘電率の変動などによっても、生じるものであり、 $\pm 10\%$ 程度の書込み電圧の揺らぎが起こることは実用条件で十分考えられる。

【0100】よって、本実施形態の多値メモリの構造は、分極値の揺らぎを抑制することによりプロセス上のマージンを広げることが可能にするので、実際のデバイス製造において有用である。

【0101】図16、図17はともに、キャパシタMFM1の強誘電体膜厚が 100nm でキャパシタMFM2の強誘電体膜厚が 1000nm のときに、それぞれのキャパシタ面積比を変化させたときの、実効分極値を示す図である。なお、図16(a)~(d)、図17(a)~(d)のD、A、B、Eの各点は、それぞれプラス側最大分極、マイナス側最大分極、プラス側中間分極、マイナス側中間分極を書き込む電圧を示しており、その後電圧を除荷したときの分極値は、それぞれ、P、S、Q、Rとなる。

【0102】図16(a)~(d)は、キャパシタMFM2の面積をキャパシタMFM1に対して、徐々に増加させた場合の実効分極を示す図である。同図に示すように、キャパシタMFM2の面積比率が増加するにつれ、ヒステリシス曲線におけるB点を通過する領域及びE点を通過する領域での電圧変化に対する分極の変化が急峻になる。

【0103】一方、図17(a)~(d)は逆にキャパシタMFM1の面積比率を増加させた場合を示している。同図に示すように、このときヒステリシス曲線におけるB点を通過する領域及びE点を通過する領域での電圧変化に対する分極の変化が緩やかになっている。以上のことから、キャパシタMFM1とキャパシタMFM2の面積比率については、キャパシタMFM1の方を大きくする方が、より書込み電圧の揺らぎに強い多値メモリを実現できることが分かる。しかし、図17(d)からも理解されるように、極端にキャパシタMFM1の面積

が大きくなると、図のP点とQ点、及びS点とR点が接近し、データの判別が困難になる。よって、本実施形態では、キャパシタMFM1とキャパシタMFM2の面積比(MFM1の面積/MFM2の面積)が0.5から2の間とすることで、記憶情報の分離性が高く、且つ安定な多値動作を実現している。

【0104】ただし、Q点、R点の代わりに実効分極値が $0\mu\text{C}/\text{cm}^2$ の点を取る場合、つまり3種類の分極を用いる場合にはキャパシタMFM1とキャパシタMFM2の面積比(MFM1の面積/MFM2の面積)は、ほ

ぼ0.2から2の間でも記憶情報の分離性は良好に保たれる。

【0105】以上、本実施形態によれば、電界効果トランジスタのゲート電極に分極方向が互いに同じで抗電圧の異なる2つ以上の強誘電体キャパシタを接続することで書き込み電圧の多少の揺らぎに対してドレイン電流の揺らぎが少ない多値メモリが実現できる。

【0106】これにより、高集積且つ安定な半導体メモリを提供できるのみならず、複数の抵抗値を提供する不揮発トランジスタとして、脳のニューロンを模倣したニューロン素子への応用なども考えられる。

【0107】次に、図18は、本発明の実施形態の多値メモリの変型例を示す断面図である。この多値メモリは、図3に示す本実施形態の多値メモリと第2の強誘電体層18以外の部分は同一の構造であるので、構造の説明は省略する。

【0108】ここで示す多値メモリは、図3に示す本実施形態の多値メモリの第2の強誘電体層18に代えて常誘電体を用いたものである。

【0109】例えば、本実施形態の変型例においては常誘電体層20としてスパッタ法により形成した膜厚100nmの酸化タンタルを用いている。酸化タンタル層の比誘電率は、本実施形態ではおよそ25である。この場合、常誘電体層の静電容量は強誘電体層の静電容量の1/4程度であるため、MFM2に印加した電圧の1/5が強誘電体層に印加されることとなる。このため、見かけの抗電圧は5倍となるので、キャパシタ全体の分極が飽和するまでの間に準安定点を持たせることができる。

【0110】なお、本実施形態においては、異なる抗電圧の強誘電体キャパシタを得るのに、強誘電体層の膜厚を100nmと500nm、または100nmと1000nmとしたが、これ以外に任意の膜厚にすることで、キャパシタの抗電圧を変化させることができる。

【0111】また、異なる材料の強誘電体をそれぞれの強誘電体キャパシタに適用しても強誘電体層の膜厚を変化させることと同様の効果が得られる。例えば、本実施形態のBITでは抗電界はおよそ20kV/cm程度であったが、PZTでは40kV/cm程度と、抗電界が異なるため、同じ膜厚であればキャパシタの抗電圧は2倍となる。

【0112】また、本実施形態の多値メモリとして、特に強誘電体キャパシタを2つ備えた場合について説明を行なったが、抗電圧の異なる強誘電体キャパシタを図9に示すように3つ以上接続しても、同様にヒステリシスに準安定点が増加するため、さらに多値の強誘電体ゲートメモリを実現できる。

【0113】また、本実施形態の多値メモリにおいて、キャパシタMFM1の分極とキャパシタMFM2の分極の正負は一致していたが、これらを互いに逆向きに分極させることもできる。

【0114】(第2の実施形態)図19は、本発明の第2の実施形態に係る多値メモリの構造を示す断面図である。同図に示すように、本実施形態の多値メモリは、p型のSi基板1と、Si基板1上に形成されたシリコン酸化物からなる素子分離膜(図示せず)と、Si基板1上に形成されたシリコン酸化物からなるゲート絶縁膜と、ゲート絶縁膜の上に形成されたPt/TiNからなるゲート電極/下部電極26と、ゲート電極/下部電極26の上に形成されたBITからなる厚さ100nmの第1の強誘電体層27と、第1の強誘電体層27の上に形成され、幅がゲート電極の幅の半分以下である第1の上部電極29と、第1の強誘電体層27の上に形成された幅がゲート電極の幅の半分以下である厚さ400nmのBITからなる第2の強誘電体層28と、第2の強誘電体層28の上に形成された第2の上部電極30と、ゲート絶縁膜7の上に形成され、ゲート電極/下部電極26、第1の強誘電体層27、第1の上部電極29、第2の強誘電体層28、第1の上部電極29及び第2の上部電極30の側方を埋める層間絶縁膜31と、層間絶縁膜を貫通して第1の上部電極29及び第2の上部電極30に接続するプラグ配線32とを備えている。ここで、ゲート電極/下部電極26は、ゲート電極がキャパシタの下部電極と一体化している。

【0115】本実施形態において、第1の上部電極29、第1の強誘電体27及び下部電極26からなるキャパシタMFM1と第2の上部電極30、第2の強誘電体層28、第1の強誘電体層26及び下部電極26からなるキャパシタMFM2の抗電圧は互いに異なっている。よって、キャパシタ全体のヒステリシス曲線において準安定点が生じるので、本実施形態の多値メモリによれば、第1の実施形態の多値メモリと同様に記憶情報の分離性が高く、且つ安定な多値動作を実現することができる。

【0116】本実施形態の多値メモリにおいては、中間電極を形成する必要がないため、第1の実施形態の多値メモリと比べ、製造工程数を少なくすることができ、製造コストを抑えることができる。

【0117】また、本実施形態で用いた第2の強誘電体層28の代わりに常誘電体層を用いても、キャパシタMFM1及びキャパシタMFM2の抗電圧を互いに異なる

ように形成することができる。

【0118】(第3の実施形態)図20は、本発明の第3の実施形態に係る多値メモリを示す回路図である。同図に示すように、本実施形態の多値メモリは、ゲートがワード線WLに接続されドレインがビット線BLに接続された1つの選択トランジスタTr1と、選択トランジスタTr1のソースに並列に接続された強誘電体を有するキャパシタMFM1及び強誘電体を有するキャパシタMFM2とからなる。本実施形態の多値メモリにおいて、キャパシタMFM1とキャパシタMFM2の抗電圧は互いに異なっている。

【0119】本実施形態の多値メモリは、FeRAMと呼ばれる、キャパシタの分極反転時に流れる電流量により、情報を読み出すメモリである。このとき、本実施形態の多値メモリでは、第1及び第2の実施形態で説明したように、異なる抗電圧のキャパシタを並列接続することにより、安定して複数の残留分極値を得ることが可能である。本実施形態の多値メモリの情報読み出し動作は、例えばワード線WLに所定の電圧、例えば8Vを保持しておき、選択トランジスタTr1をOn(導通)状態にした際にワード線WLの電圧の降下度合いによりTr1を経由して流れた電流量を判断し、情報の読み出しを行っている。ここで、強誘電体キャパシタの残留分極状態により、分極反転の量が異なるため、Tr1を経由して流れる電流量に差異が生じることとなる。例えば、図8のP点、Q点、S点の順で電流量(絶対値)が大きく検出されることとなる。すなわち、多値のFeRAMを実現することができる。

【0120】この構造によっても、第1の実施形態の多値メモリと同様に、記憶情報の分離性が高く、且つ安定な多値動作を実現することができる。

【0121】(第4の実施形態)図21は、本発明の第4の実施形態に係る多値メモリを示す等価回路図である。本実施形態の多値メモリは、第1の実施形態に係る多値メモリのゲート電極9とキャパシタMFM2の間にキャパシタ40を挿入した構成をとっている。すなわち、本実施形態の多値メモリは、MISトランジスタと、MISトランジスタのゲート電極9に対して並列に接続され、共に強誘電体を有するキャパシタMFM1及びキャパシタMFM2と、ゲート電極9とキャパシタMFM2の間に設けられたキャパシタ40とを備えている。なお、図21では、図5と同じ部材には同じ符号を付けている。また、キャパシタMFM1及びキャパシタMFM2の面積や、強誘電体層の厚みは第1の実施形態と同一とする。キャパシタ40は、常誘電体を有するキャパシタであるが、強誘電体キャパシタであってもよい。

【0122】第1の実施形態の多値メモリに電圧が印加された場合、キャパシタMFM1とキャパシタMFM2に加わる電圧は互いに等しかったが、本実施形態の多値

メモリでは、キャパシタMFM2とキャパシタ40とに分配される電圧の和とキャパシタMFM1に分配される電圧とが等しくなっている。

【0123】そのため、多値メモリに同一電圧を印加した時のキャパシタMFM2に分配される電圧は、第1の実施形態でのキャパシタMFM2よりも小さくなっており、見かけの抗電圧が大きくなっている。本実施形態の多値メモリも、キャパシタMFM1とキャパシタMFM2の抗電圧が異なっており、そのヒステリシスループにおいて準安定点を持っている。従って、本実施形態の多値メモリは、安定に多値を保持することが可能である。

【0124】また、強誘電体キャパシタとMISトランジスタのゲート電極との間に少なくとも1つのキャパシタを挿入することで、見かけの抗電圧を任意に調節することができるので、設計の自由度を大きくすることができる。なお、本実施形態においては、キャパシタMFM1とキャパシタMFM2の抗電圧が異なる例を示したが、キャパシタ40を挿入することでキャパシタMFM2の見かけの抗電圧が変化するため2つのキャパシタの抗電圧が互いに同じであっても安定に多値を保持する多値メモリを実現することができる。また、本実施形態の多値メモリは、キャパシタMFM1とキャパシタMFM2の強誘電体層を同時に形成できる点で有利である。

【0125】なお、本実施形態ではキャパシタMFM2とMISトランジスタのゲート電極9の間に1つのキャパシタを挿入した例を示したが、2つ以上のキャパシタを挿入してもよい。

【0126】(第5の実施形態)以下、本発明の第5の実施形態に係る半導体装置について、図面を参照しながら説明する。

【0127】図22は、本実施形態の半導体装置を示す等価回路図である。同図から分かるように、本実施形態の半導体装置は、制御電圧供給部110と、電界効果トランジスタ(以下MOSトランジスタと表記)と、このMOSトランジスタのゲート電極109と制御電圧供給部110との間に互いに並列に介設された誘電体キャパシタ104及び抵抗素子106とを有することを特徴としている。

【0128】次に、図23には、本実施形態の半導体装置の上面図を、図24には図23のXXIV-XXIV線における断面図を、図25には図23のXXV-XXV線における断面図を示す。なお、図23においては、見やすくするためにハッチングを省略して示し、また最上面の構成物のみ実線で示している。さらに、図24、図25と同一である部分についても、図を見やすくするため一部省略して示している。また、図24、図25においても、切断面より奥にある構成物について、図を見やすくするためにその一部を省略して示している。

【0129】図23、図24、図25に示すように、本実施形態の半導体装置は、例えば活性領域を有するP型

のSi基板101と、Si基板101の活性領域と対向する面上に設けられた基板電極108（図22にのみ図示）と、Si基板101上に設けられた活性領域を囲む素子分離用酸化膜105と、Si基板101上に設けられたSiO₂からなる厚さ5nmのゲート絶縁膜107と、ゲート絶縁膜107の上に設けられたリンを含むポリシリコンからなるゲート電極109と、Si基板101のうちゲート電極109の両側方に設けられたN型不純物を含むドレイン領域103a及びソース領域103bと、Si基板101上に設けられたSiO₂などの絶縁体からなる第1の層間絶縁膜111と、第1の層間絶縁膜111の上に設けられた厚さ20nmの窒化チタン（TiN）膜と厚さ50nmのPt膜とからなるパッド部115a、115b及び中間電極114と、第1の層間絶縁膜111を貫通してゲート電極109と中間電極114とを接続するポリシリコンからなるプラグ配線113aと、第1の層間絶縁膜111を貫通してドレイン領域103aとパッド部115a、ソース領域103bとパッド部115bとをそれぞれ接続するポリシリコンからなるプラグ配線113b及び113cと、第1の層間絶縁膜111の上に設けられた厚さ100nmのチタン酸バリウム・ストロンチウム（以下BSTと表記する）からなる誘電体層116と、誘電体層116の上に設けられた厚さ50nmのPtからなる上部電極119と、誘電体層116の上に設けられた第2の層間絶縁膜121と、第2の層間絶縁膜121を貫通して上部電極119に至るAlSiCu合金等の導電体からなる配線125aと、誘電体層116及び第2の層間絶縁膜121を貫通してパッド部115a、115bにそれぞれ至るAlSiCu合金等の導電体からなる配線125b及び125cとを有している。

【0130】また、中間電極114及び上部電極119の寸法は共に2.5μm×4μmであり、ゲート電極109を有するMOSトランジスタと同じサイズである。

【0131】なお、本実施形態の半導体装置においては、誘電体層116と、これを挟む中間電極114及び上部電極119とはキャパシタを構成しているが、誘電体層116は同時に抵抗素子106（図22参照）にもなっている。このことを含めた半導体装置の動作については後で詳述する。

【0132】次に、本実施形態の半導体装置の製造方法について、以下、図26を用いて説明する。

【0133】図26は、本実施形態の半導体装置の製造工程を示す図23のXXV-XXV線における断面図である。なお、図26のXXV-XXV断面において図示されない、あるいは図示しない構造物については、図23～25の説明において用いた符号を使用して説明する。

【0134】図26（a）に示す工程で、P型のSi基板101上に形成した図示しない窒化シリコン膜をマスクとして基板の酸化処理を行ない、素子分離用酸化膜1

05を形成する（LOCOS法）。次に、窒化シリコン膜を例えば昇温した磷酸などを用いて除去した後、基板を900℃でパイロ酸化することにより厚さ5nmのSiO₂からなるSiO₂膜をSi基板101上に形成する。その後、LPCVD法などにより、リンなどのn型不純物を導入したポリシリコンをSiO₂膜上に堆積してからドライエッチングによりパターニングしてゲート絶縁膜107及びゲート電極109を形成する。次いで、ゲート電極109をマスクとしてボロン等のp型不純物を注入してから900℃、30分の熱処理を行なうことにより、Si基板101のうちゲート電極109の両側方にドレイン領域103a及びソース領域103bを形成する。なお、本工程により作製されるMOSトランジスタは、ゲート長が1μm、ゲート幅が10μmである。

【0135】次に、図26（b）に示す工程において、例えばLPCVD法により基板上にSiO₂を堆積して第1の層間絶縁膜111を形成する。その後、第1の層間絶縁膜111上にレジストマスクパターン（図示せず）を形成してから第1の層間絶縁膜111をドライエッチングすることによりゲート電極109、ドレイン領域103a及びソース領域103bに至るコンタクト窓をそれぞれ形成する。次いで、LPCVD法などにより基板上にポリシリコンを堆積した後でCMP法により基板表面を平坦化し、各コンタクト窓を埋めるプラグ配線113a、113b、113cをそれぞれ形成する。次に、スパッタ法により第1の層間絶縁膜111の上にTiNを20nm堆積した後、同じくスパッタ法によりPtを50nm堆積する。続いて、スパッタ法で堆積させたSiO₂膜をパターニングして形成した図示しないハードマスクを用いて、Pt/TiNをArミリングによりパターニングしてプラグ配線113aの上に中間電極114を、プラグ配線113bの上にパッド部115aを、プラグ配線113cの上にパッド部115bをそれぞれ形成する。その後、希釈したフッ酸などでハードマスクを除去する。

【0136】なお、ここでTiN層は、Ptと多結晶シリコンがシリサイドを形成して抵抗が増加するのを防ぐために形成している。

【0137】次に、図26（c）に示す工程で、スパッタ法などにより基板温度550℃、酸素分圧20%、RFパワー100Wの条件で第1の層間絶縁膜111の上にBSTを堆積し、厚さ100nmの誘電体層116を形成する。そして、スパッタ法により誘電体層116の上にPtを堆積した後、図示しないSiO₂からなるハードマスクを用いたArミリングにより堆積したPt層をパターニングし、誘電体層116を挟んで中間電極114と対向する位置に上部電極119を形成する。その後、希釈したフッ酸などでハードマスクを除去する。

【0138】なお、本実施形態では、中間電極114及

び上部電極 119 の寸法は $2.5\mu\text{m} \times 4\mu\text{m}$ とし、MOS トランジスタのサイズと同じにしている。

【0139】次に、図 26(d) に示す工程で、TEOS (テトラエトキシシラン) を用いたプラズマ CVD により SiO_2 を堆積した後、CMP 法により平坦化することにより第 2 の層間絶縁膜 121 を形成する。その後、レジストマスクを用いて第 2 の層間絶縁膜 121 及び誘電体層 116 をドライエッチングすることによりコンタクト窓を形成する。続いて、スパッタ法により AlSiCu 合金を基板上に堆積した後、レジストマスクを用いてドライエッチングすることで第 2 の層間絶縁膜 121 上から上部電極 119 に至る配線 125a、パッド部 115a に至る配線 125b 及びパッド部 115b に至る配線 125c をそれぞれ形成する。なお、配線 125a は図示しない制御電圧供給部 110 に接続されている。

【0140】以上の方法により図 22 に記載の半導体装置が製造される。

【0141】本実施形態の半導体装置は、図 22 に示す等価回路で示される構成を有しているが、実際には図 23~6 に示すように、中間電極 114 と上部電極 119 により誘電体層 116 を挟みこんだ構造の誘電体キャパシタ 104 が、さらに図 22 に示す電気抵抗としても動作している。すなわち、図 22 の誘電体キャパシタ 104 と抵抗素子 106 とが同一物であって、電気抵抗は誘電体キャパシタの抵抗成分となっている。このため、本実施形態の半導体装置では、誘電体キャパシタ 104 と抵抗素子 106 とが別個に設けられる場合に比べ、図 22 に示す等価回路で表される構成をより簡便な構成で実現している。

【0142】次に、本実施形態の半導体装置の駆動方法及び動作について以下に説明する。

【0143】図 27 は、BST からなる誘電体層 116 を有する誘電体キャパシタ 104 の両電極に電圧を印加した際に、誘電体層 116 を通過して中間電極 114 と上部電極 119 の間に流れる通過電流の特性を示した図である。同図に示すように、BST という材料は、電界強度が小さい間は、ほぼ抵抗値が一定である特性を有するため、電圧に比例する通過電流値が得られる。ただし、図 27 では縦軸をログスケールとしているため、特性を表すグラフは、0V を挟んで正と負の電圧範囲で線対称な曲線として示されている。

【0144】このような特性の誘電体層 116 を有する本実施形態の半導体装置の駆動方法及び動作について以下説明する。

【0145】図 28 は、本実施形態の半導体装置の駆動方法及び動作を説明するためのドレイン電流-印加電圧の特性図である。図 28 に示すグラフの横軸は Si 基板 101 と配線 125a との間に印加する電圧（以下、単に印加電圧と表記）を、縦軸はドレイン領域 103a とソース領域 103b との間を流れるドレイン電流をそれ

ぞれ示している。なお、本実施形態を含む以降の実施形態の半導体装置においてドレイン電流-印加電圧の特性を測定する際には、全てドレイン領域 103a とソース領域 103b との間には 1V を印加して評価を行っている。

【0146】本実施形態の半導体装置においては、 Si 基板 101 とゲート電極 109 とによりゲート絶縁膜 107 を挟みこむ構造の MOS キャパシタと、中間電極 114 と上部電極 119 とにより誘電体層 116 を挟みこむ構造の誘電体キャパシタ 104 とが直列接続された構造となるため、印加電圧は、それぞれのキャパシタに分配されて印加されることとなる。

【0147】例えば、図 28 に示す本実施形態の半導体装置の測定では、印加電圧を -3V から $+3\text{V}$ の範囲としているが、最大電圧である $+3\text{V}$ を印加した際に、それぞれ MOS と誘電体キャパシタには、 2.2V と 0.8V がそれぞれ分配されている。図 27 に示すとおり、誘電体キャパシタは、ここで測定した -0.8V 以上 0.8V 以下の電圧範囲では、リーク電流が非常に小さくなっている。

【0148】図 28 に示すように、初期状態の本実施形態の半導体装置は、例えば 1MHz 程度の高周波数のパルス電圧で半導体装置を高速動作させると、点 A と点 O とを含む特性曲線（以下 A-O 曲線と称する）上を移動する特性を示す。

【0149】なお、A-O 曲線には、およそ 0V 以下が図示されていないが、この領域でのドレイン電流はノイズレベルであり、 10^{-8} (A) より十分小さい電流レベルであった。そのため、例えば印加電圧が 3V のときには約 $1 \times 10^{-3}\text{ (A)}$ のドレイン電流が流れ（図 28 の点 A）、その後、印加電圧を 0V とするとドレイン電流はノイズレベルとなる（図 28 の点 O）。つまり、本実施形態の半導体装置は、 1MHz 程度の高速で動作させた場合、印加電圧に応じてドレイン電流が増加し、MOS トランジスタと同様の動作を示す。

【0150】次に、図 28 の点 A の状態、すなわち上部電極 119 に $+3\text{V}$ の電圧を印加した状態を保持すると、誘電体層 116 の通過電流により電荷が徐々に中間電極 114 に蓄積される。この状態では、中間電極に接続された MOS トランジスタのゲート電極 109 にも電荷が蓄積されて MOS トランジスタの閾値が変化し、半導体装置の印加電圧-ドレイン電流の特性も変化する。

【0151】例えば、 $+3\text{V}$ の印加電圧を 100 秒間保持した後、 1MHz 程度で上部電極 119 に電圧を印加すると、図 28 の点 B と点 C とを含む曲線を描くように特性が変化する。すなわち、印加電圧の大きさと保持時間の積により、MOS トランジスタの印加電圧-ドレイン電流特性（以下、 V_G-I_D 特性と表記）を変化させることが可能である。

【0152】初期状態と $+3\text{V}$ 、 100 秒間保持した後

の状態とでは、+2Vの印加電圧に対するドレイン電流で1桁以上、0Vの印加電圧に対するドレイン電流では5桁以上の差があるので、例えば本実施形態の半導体装置をメモリとして用いた場合に、ドレイン電流を検出することで多値情報を読みとることができる。

【0153】このように、本実施形態の半導体装置では、誘電体キャパシタ104の抵抗値がほぼ一定と見なせる範囲の電圧を上部電極119に長時間印加し続けることにより、これを書込み情報として、初期状態に比べて印加電圧に対するドレイン電流が大きくなるようにMOSトランジスタ部分の特性を変調させられる。これに対し、図示はしないが、-3Vなどの負電圧で保持することにより、初期状態に比べて印加電圧に対するドレイン電流が流れにくくなるようにMOSトランジスタ部分の特性を変調することも可能である。

【0154】以上のように、本実施形態の半導体装置によれば、多値メモリとして機能する従来の半導体装置とは全く異なる駆動方法により記憶動作を行なうことができる。

【0155】また、本実施形態の半導体装置は、それまでの書込み情報の履歴を反映して特性が変化するので、単なる多値メモリとしての応用だけでなく、ニューロン素子への適用も可能である。

【0156】ニューロン素子への応用する場合、多数の本実施形態の半導体装置を互いに接続され、配線125aには荷重信号が、ドレイン領域103aには前段ニューロン素子からの出力信号が加えられる。このとき、配線125aへ印加される電圧が高く、そのパルス幅が長い場合、半導体装置からの電流が流れやすくなる。このようなニューロン素子への応用については後の実施形態で詳述する。

【0157】なお、本実施形態の半導体装置において、+3Vの印加電圧を100秒間保持して図28のB-C曲線で示される状態にした後、例えば配線125aを接地することで、この半導体装置の特性曲線は、B-C曲線からA-O曲線へと徐々に戻っていき、およそ100秒間でA-O曲線に示す特性へと復帰することとなる。これは、書込み情報の記憶とは逆の動作を示すものであり、一度書き込まれた情報を、時間の経過とともに「忘却」する機能も有することを示している。なお、実際の素子の動作はたとえば100MHzなどの高速で行うため、このような忘却の機能は、長期間信号が入力されない場合に有効となる。つまり、忘却機能により、使用頻度の低い部分には、次の学習動作が入力されたときに効果的に変化が生じるので、素子の学習機能を向上させることができる。

【0158】なお、本実施形態の半導体装置は、電圧印加を保持する時間により中間電極114及びゲート電極109に蓄積する電荷量を調節し、それによりドレイン電流の流れやすさを制御するものであるが、情報の書込

み速度と同様に、忘却の速度についても、通過電流が電圧に対して比例的に変化する電圧範囲において、通過電流の大きさを制御することにより調節が可能である。

【0159】図29は、本実施形態の半導体装置における誘電体キャパシタ104中を流れる通過電流と復帰時間の相関を示した。ここで、復帰時間とは、書込み電圧を印加してから半導体装置が初期状態に戻るまでに要する時間（すなわち、情報を忘却するまでの時間）をいう。

【0160】図29から、誘電体層116の抵抗値が一定と見なせる電圧範囲内において、復帰時間は、通過電流が大きいほど短くなる傾向が見られる。これは、書込み電圧により中間電極114及びゲート電極109に蓄積された電荷が通過電流としてリークしていくことを示している。

【0161】なお、ここでは、記憶情報の保持の観点から、誘電体キャパシタ104の両端に1Vの電圧を印加した際の通過電流が100 (mA/cm²) 以下であるようにし、復帰時間が10μsec以上の保持時間とすることで、計算時間に対し、トランジスタの変調記憶が相対的に十分長く保持されるようにしている。なお、データを保持したい時間に対し、通過電流が十分に小さければよい。

【0162】例えば、本実施形態の半導体装置においては、図27のグラフより1V印加時の通過電流はおおよそ10⁻⁸ (A/cm²) であるため、保持時間は図29より100秒程度である。

【0163】以上、本実施形態の半導体装置は、MOSトランジスタのゲート電極に、誘電体キャパシタと電気抵抗素子とを並列接続した構成をとることにより、通常のMOSトランジスタに、信号の履歴を印加電圧ドレイン電流特性の変化として記憶させることを可能にするものである。

【0164】なお、本実施形態の半導体装置においては、誘電体キャパシタ104と抵抗素子106を同一物とすることで、構成を簡略化している。これにより、例えば、ドレイン領域103aをビット線に、配線125aをワード線に接続して本実施形態の半導体装置をメモリセルとして利用すれば、面積の小さい多値メモリを作製することができる。また、本実施形態の半導体装置をニューロン素子として使用する場合でも、高集積化が可能となる利点がある。

【0165】ただし、一度記憶した情報は、復帰時間が経過すると失われてしまうため、誘電体キャパシタ104と抵抗素子106とを別個に作製し、抵抗素子を通過電流がより流れにくい材料で構成してもよい。これにより、より長時間情報を保持することが可能となる。

【0166】なお、本実施形態の半導体装置において、誘電体材料としてBSTの場合について説明したが、膜を通過して電流が流れる材料であれば、代替可能であ

る。このような材料として、チタン酸ストロンチウム、酸化チタン、酸化タンタル、酸化アルミニウム、酸化ジルコニウム、酸化セリウム、酸化ガドリニウム、酸化ランタンなどが特に有効である。

【0167】なお、上部電極119に印加される電圧の誘電体キャパシタとMOSトランジスタとの分配比はキャパシタの容量に反比例するので、誘電体材料の変更、電極面積の変更、誘電体層116またはゲート絶縁膜の膜厚の変更などにより各素子に分配される電圧を適宜変えることができる。

【0168】また、MOSトランジスタのゲート絶縁膜の材料は、本実施形態においては SiO_2 を用いたが、例えばシリコン窒化膜など、他の絶縁体や誘電体などを用いてもよい。また、MOSトランジスタに限らず、電界効果トランジスタであれば、本実施形態の半導体装置に用いることができる。これは、以後の実施形態についても同様である。

【0169】また、本実施形態の半導体装置においては、書き込み時間を印加電圧+3Vの条件で100秒としたが、これは書き込み時間の一例であって、中間電極に蓄積される電荷が飽和しているわけではない。電荷が飽和するまでの時間はもう少し長く、また上述のような装置の設計変更によってもこの時間は変わる。また、書き込み電圧は誘電体層116の抵抗値が一定の範囲内であれば+3Vに限らないが、低電圧であれば書き込みに要する時間がさらに長くなる。

【0170】なお、本実施形態の半導体装置では、誘電体キャパシタ104中の誘電体層116の抵抗成分が抵抗素子106ともなっていたが、誘電体キャパシタ104と抵抗素子106とを互いに分離して設けてもよい。その場合、面積は大きくなるが、誘電体層116と抵抗素子106との構成材料を異なるものとして、抵抗素子106からのリーク電流を減らす、あるいは書き込みに要する時間を短縮するなど、適宜設計条件を調節することができる。

【0171】なお、本実施形態の半導体装置において、中間電極114への電荷蓄積は印加電圧と印加時間の積に比例している。そのため、ニューロン素子に应用する場合、最大電圧の印加時間を変化させることで重み付けを可能としている。さらに、一度入力した信号はその後の入力がなければ復帰時間の経過後に「忘却」するので、演算に使用されるニューロン素子とされないニューロン素子が選別されるなど、従来のニューロン素子に比べてより長期的に効率的な演算が実現できるものである。

【0172】(第6の実施形態) 次に、本発明の第6の実施形態について図面を用いて説明する。

【0173】ここでは、第5の実施形態の同一の半導体装置について、第5の実施形態とは異なる駆動方法を第6の実施形態として説明する。そのため、以下では半導

体装置の駆動方法及び動作についてのみ説明する。

【0174】図30は、図23~25に示す第5の実施形態と同一の半導体装置において、BSTからなる誘電体層116を有する誘電体キャパシタ104の両電極間に電圧を印加した際に、誘電体層116を通過して中間電極114と上部電極119の間に流れる通過電流の特性を示した図である。

【0175】一般に、BSTなどのペロブスカイト型酸化物は、電界強度が小さい範囲ではほぼ抵抗値が一定であるが、さらに電圧を上昇させると、図30の特性曲線に示すように、1.3V付近を越えるあたりから通過電流が指数関数的に増加する特性を有している。また、印加電圧が負の範囲でも0Vを挟んでほぼ対称の印加電圧-通過電流特性を示す。

【0176】この通過電流の急激な増加は、ショットキー電流として説明できる。すなわち、中間電極114や上部電極119と誘電体層116の界面において、障壁高さが存在し、ある電界強度までは、ほとんど電流が流れない。しかしながら、ある電界強度を越えると、この障壁を越えて電流が流れるようになる。このような電流をショットキー電流と呼んでいる。

【0177】次に、このような誘電体キャパシタの特性を利用した本実施形態の半導体装置の駆動方法について説明する。

【0178】図31は、本実施形態の半導体装置の駆動方法と動作を説明するためのドレイン電流-印加電圧特性図である。ここで、印加電圧とは配線125a(または上部電極119)と基板電極108との間に印加される電圧をいう。

【0179】本実施形態の半導体装置においては、Si基板101とゲート電極109によりゲート絶縁膜107を挟みこむ構造を有するMOSキャパシタと、中間電極114と上部電極119により誘電体層116を挟みこむ構造を有する誘電体キャパシタとが直列接続された構造となるため、印加電圧は、それぞれのキャパシタに分配されて印加されることとなる。例えば、印加電圧が+2Vのときには、MOSキャパシタと誘電体キャパシタには、それぞれ1.5Vと0.5Vが印加され、印加電圧が+8Vのときには、MOSキャパシタと誘電体キャパシタ104には、それぞれ6.0Vと2.0Vが、分配されて印加される。なお、図30から、本実施形態の誘電体キャパシタ104は、0.5Vの電圧下では、ほぼ一定抵抗値を持つ抵抗素子として動作し、2.0Vの電圧下では電圧の上昇に対して指数関数的に電流が増加する、比較的抵抗の小さい抵抗素子として動作することが分かる。

【0180】なお、本実施形態の半導体装置の駆動方法では、例えば50kHz程度で電圧を印加して半導体装置を動作させる。

【0181】まず、初期状態において、印加電圧を±2

Vの範囲内とすると、本実施形態の半導体装置は、図31の点Dと点O'を含む特性曲線（以下D-O'曲線と称する）上を移動する特性を示す。なお、D-O'曲線には、およそ0V以下が示されていないが、この領域でのドレイン電流はノイズレベルであり、 10^{-8} (A)より十分小さい電流レベルであった。

【0182】ここで、例えば2Vを印加すると約 6×10^{-4} のドレイン電流が流れ（点D）、その後で0Vを印加すると、ほぼノイズレベルの電流しか流れない点O'の状態に戻る。2Vの以下の電圧を印加してから0Vを印加した場合でもドレイン電流はほぼノイズレベルとなる。すなわち、本実施形態の半導体装置は、-2Vから+2Vまでの印加電圧に対しては、MOSトランジスタと同様の動作を示す。

【0183】次に、例えば+8Vの高電圧を印加すると、誘電体層116中を流れる通過電流が指数関数的に増加することで、非常に短時間に中間電極114及びゲート電極109に電荷が蓄積される。本実施形態では、印加するパルス電圧の周波数を50kHzとして動作を行っているが、例えば+8V、 $20 \mu\text{sec}$ のパルス電圧を印加することで、図31の点E、点Fを含む曲線上へと特性を変化させることが可能である。つまり、印加電圧を大きくすることにより、短時間でMOSトランジスタのVG-ID特性を変化させることが可能である。電荷の蓄積に要した時間は第5の実施形態の駆動方法では100秒であったのが、本実施形態の駆動方法では $20 \mu\text{sec}$ へと大幅に短縮されている。

【0184】ここで、本実施形態の半導体装置の動作をさらに詳細に説明する。+8Vの電圧パルスを印加すると、誘電体層116を流れる通過電流が指数関数的に増加するため、中間電極114及びゲート電極109に急速に電荷が蓄積される。

【0185】その後、印加電圧を0Vに戻すと、図31の点Fの位置へと特性が変化し、ドレイン電流が変化する。次に、点Fの状態から、さらに+2Vの電圧を上部電極119に印加すると、点Eの状態になり約 3×10^{-3} (A)のドレイン電流が流れるが、印加電圧を再度0Vに戻すと、点Fの状態に復帰する。すなわち、大きい電圧パルスを入力した後、0~2V程度の低電圧パルスを加えても半導体装置のドレイン電流-印加電圧特性は変化しない。一方、点Fの状態で-2Vの負電圧パルスを上部電極119に印加すると、半導体装置の状態は点Gへと移動し、ドレイン電流はおおよそ1桁低下する。その後、再び印加電圧を0Vにすると、上述の点Fに近い点Hの状態となり、点Fの状態よりもややドレイン電流が小さくなるものの、大きなドレイン電流の変化は見られない。

【0186】同様の原理により、例えば印加電圧に-8Vを印加すると、±2Vのスキャンでドレイン電流が極めて小さい変化となる特性へと変化することはいうまで

もない。

【0187】以上のように、本実施形態の半導体装置の駆動方法では、誘電体キャパシタ104を流れる通過電流が印加電圧の上昇に対して指数関数的に増加する電圧範囲で情報の書き込みを行ない、情報の読み出しなどの際には通過電流が印加電圧にほぼ比例する電圧範囲内でMOSトランジスタを駆動する。この方法により、第5の実施形態で示した半導体装置の駆動方法に比べて情報の書き込み時間を大幅に短縮することができる。

【0188】本実施形態の半導体装置の駆動方法によっても、それまでの書き込み情報の履歴を素子特性の変化という形で記憶できるので、本実施形態の半導体装置を単なる多値メモリとして応用するだけでなく、ニューロン素子として適用することが可能となる。ニューロン素子として利用する場合、情報の書き込み時間を第5の実施形態の方法よりも大幅に短縮できるので、演算速度を大きく向上させることができる。

【0189】なお、本実施形態の半導体装置の駆動方法は、第5の実施形態と異なり、印加電圧パルスの長さではなく印加電圧の絶対値の大きさとMOSトランジスタのVG-ID特性を変化させることが可能な点が特徴である。すなわち、入力する印加電圧パルスを一定周期とし、パルスの電圧値の設定のみで、VG-ID特性を調整することが可能である。

【0190】本実施形態の半導体装置の駆動方法においては、書き込み電圧を8Vとしたが、さらに高電圧で書き込みを行っても構わない。また、配線125aまたは上部電極119に印加する電圧が例えば8V以下であっても、誘電体キャパシタの面積を小さくする、誘電体層の厚さを厚くするなどの方法により容量を低減し、誘電体キャパシタに分配される電圧を大きくすることで、書き込み時間を短縮することができる。

【0191】なお、本実施形態の半導体装置の駆動方法においても、例えば配線125aを接地することで半導体装置の状態は時間の経過とともに図31のD-O'曲線で示される初期状態に戻る。すなわち、本実施形態の半導体装置は第5の実施形態でも述べたとおり、「忘却」する機能も有する。

【0192】なお、本実施形態の半導体装置の駆動方法においては、記憶情報の保持の観点から、誘電体キャパシタ104の両端に1Vの電圧を印加した際の通過電流が $100 \text{ (mA/cm}^2\text{)}$ 以下であるようにし、復帰時間が $10 \mu\text{sec}$ 以上の保持時間とすることで、絶対値の大きい電圧パルスとの差異が明確になるようにしている。これは第5の実施形態の駆動方法と同様の条件であるため、本実施形態においては、では、復帰に要した時間はおよそ100秒となる。

【0193】（第7の実施形態）本発明の第7の実施形態に係る半導体装置は、第6の実施形態に係る半導体装置と比べ、構造の一部と、その駆動方法及び動作のみが

異なる。

【0194】図32は、本実施形態の半導体装置を示す等価回路図である。同図に示されるように、本実施形態の半導体装置は、電界効果トランジスタ（以下MOSトランジスタと表記）のゲート電極109に、強誘電体キャパシタ104aと抵抗素子106とを並列接続した構成を有することを特徴としている。

【0195】本実施形態の半導体装置は、第5及び第6の実施形態の半導体装置とほぼ同様の構造となっているが、本実施形態の半導体装置では誘電体層116に代えて強誘電体材料からなる強誘電体層131が用いられている点が上記の実施形態のものとは異なる。

【0196】すなわち、本実施形態の半導体装置は、制御電圧供給部110と、ゲート電極109とドレイン領域103aとソース領域103bと基板電極108とを有するMOSトランジスタと、MOSトランジスタのゲート電極109と制御電圧供給部110との間に互いに並列に介設された強誘電体キャパシタ104a及び抵抗素子106とを有している。また、強誘電体キャパシタ104aは、上部電極119と、中間電極114と、上部電極119及び中間電極114に挟まれた厚さ300nmのチタン酸ビスマス（BIT）からなる強誘電体層131とからなっている。さらに、本実施形態の半導体装置においては、強誘電体層131が抵抗素子106としても機能している。また、ソース領域103bと基板電極108とは互いに接続されている。

【0197】次に、図33(a)～(d)は、本実施形態の半導体装置の製造工程を示す断面図である。同図において、図26と同一のものには同一符号を附記する。

【0198】まず、図33(a)に示す工程で、第5の実施形態と同様の手順で、LOCOS法により素子分離用酸化膜105をSi基板101上に形成する。次いで、基板のパイロ酸化により基板上に厚さ5nmのSiO₂膜を形成した後、n型不純物を含むポリシリコンをSiO₂膜上に堆積し、このSiO₂膜及びポリシリコン層をパターンニングすることにより、ゲート絶縁膜107及びゲート電極109をSi基板101上にそれぞれ形成する。次に、ボロンなどのp型不純物を注入し、Si基板101のうちゲート電極109の両側方にドレイン領域103a及びソース領域103bを形成する。なお、本工程により作製されるMOSトランジスタは、ゲート長が1μm、ゲート幅が10μmである。

【0199】次に、図33(b)に示す工程で、第5の実施形態と同様の手順で、基板上にSiO₂からなる第1の層間絶縁膜111を形成した後、レジストマスクを用いたドライエッチングによりコンタクト窓を形成し、これをポリシリコンにより埋めることにより、ポリシリコンからなるプラグ配線113a、113b、113c、をそれぞれ形成する。次いで、プラグ配線113aを介してゲート電極109に接続する中間電極114、プラ

グ配線113bを介してドレイン領域103aに接続するパッド部115a及びプラグ配線113cを介してソース領域103bに接続するプラグ配線115bをそれぞれ形成する。各部材の材質は第5の実施形態と同じであるが、中間電極の寸法は1μm×2μmとし、その面積はMOSトランジスタの面積の1/5とする。

【0200】次に、図33(c)に示す工程で、スパッタ法により基板温度600℃、酸素分圧20%、RFパワー100Wの条件でBITを堆積し、厚さ300nmの強誘電体層131を基板上に形成する。その後、第5の実施形態と同様の手順で、強誘電体層131の上、中間電極と対向する位置に上部電極119を形成する。なお、上部電極119の寸法は中間電極114と同じ1μm×2μmとし、MOSトランジスタの面積の5分の1とする。

【0201】次に、図33(d)に示す工程で、実施の形態1の半導体装置と同様の手順で、強誘電体層131の上に第2の層間絶縁膜121を形成する。次に、第2の層間絶縁膜121上から上部電極119に至る配線125aと、第2の層間絶縁膜121上からパッド部115a及びパッド部115bに至る配線125b、125cをそれぞれ形成する。

【0202】以上の製造方法により製造される本実施形態の半導体装置は、図32に示す強誘電体キャパシタ104aと抵抗素子106とが同一物であって、抵抗素子106は、強誘電体キャパシタ104aの抵抗成分となっている。

【0203】これにより、図32に示す構造を比較的小さい面積で実現できるとともに、強誘電体キャパシタ104aと抵抗素子106を別々に製造する場合に比べ製造工程数も少なくなっている。

【0204】次に、本実施形態の半導体装置の駆動方法及び動作について以下に説明する。

【0205】図34(a)は、本実施形態の半導体装置において、記憶情報を大幅に変更する粗調時の等価回路を、(b)は、記憶情報を微小変更する微調時の等価回路を示している。また、図35は、強誘電体キャパシタ104aの両端に電圧を印加したときの通過電流の特性を示した図である。ここで、通過電流とは、強誘電体層131を通過して中間電極114と上部電極119の間に流れる電流を指す。

【0206】本実施形態において、強誘電体材料として用いられたBITを始めとする、元素の組成がABO₃で表されて結晶構造がペロブスカイト構造を有する酸化物は、第1、第6の実施形態で用いられたBSTと同様に、印加される電界強度が小さい間は抵抗値が無視できる程に小さく、さらに電圧を上昇すると、通過電流が指数関数的に増加するという特徴を示す。図35より、本実施形態の強誘電体キャパシタ104aにおいても、1.8V付近より大きい電圧を印加した場合、通過電流

が指数関数的に増加する。また、負電圧を印加した場合には印加電圧が0Vの軸を挟んで対称の特性を示す。

【0207】そのため、図35に示すように、強誘電体に分配される電圧が -2.3V 以下及び $+2.3\text{V}$ 以上の粗調時電圧範囲にあるときは、強誘電体は抵抗素子106としても機能し、リーク電流Iが流れる。この時の等価回路は、図34(a)に示すように、MOSトランジスタのゲート電極109に強誘電体キャパシタ104aと抵抗素子106とが並列に接続された形になっている。

【0208】一方、強誘電体に分配される電圧が $-1.4\sim+1.4\text{V}$ 程度の微調時電圧範囲にあるときは、強誘電体にはほとんど電流が流れず、ほぼ絶縁体となっている。この時の等価回路は、図34(b)に示すように、MOSトランジスタのゲート電極109に強誘電体キャパシタ104aのみが接続された形となっている。

【0209】なお、本実施形態の半導体装置においては、Si基板101とゲート電極109によりゲート絶縁膜107を挟みこむ構造のMOSキャパシタと、中間電極114と上部電極119により強誘電体層131を挟みこむ構造の強誘電体キャパシタ104aとが直列接続された構造となるため、印加電圧は、それぞれのキャパシタに分配されて印加されることとなる。例えば、本実施形態の半導体装置においては、印加電圧として $+2\text{V}$ を装置全体に加えたときには、MOSトランジスタと強誘電体キャパシタ104aには、それぞれ 1.2V と 0.8V が、印加電圧を $+6\text{V}$ としたときには、MOSトランジスタと強誘電体キャパシタ104aには、それぞれ 3.6V と 2.4V が、分配される。

【0210】本実施形態の半導体装置では、強誘電体キャパシタ104aに分配される電圧を粗調時電圧範囲に設定することで、リーク電流を大きくし、フローティングゲートの電位を大きく変化させることができる。また、強誘電体キャパシタ104aに分配される電圧を微調時電圧範囲に設定することでリーク電流を小さくし、データを保持したり、強誘電体の分極変化によるフローティングゲート電位の微調整が可能となる。

【0211】図36は、上述の知見を踏まえた実際の電圧印加方法の一例を示す図である。この例では、最初に $1\mu\text{sec}$ の期間に強誘電体に 2.5V の電圧パルスを加えている。これにより、強誘電体を通して高速にフローティングゲートに蓄積される。このとき、強誘電体の分極は、一方向に揃う。

【0212】次に、 $5\mu\text{sec}$ 以降では期間が $1\mu\text{sec}$ で負の微小電圧を強誘電体に印加している。このとき、強誘電体からのリーク電流は無視できるほど小さく、強誘電体の分極が少しずつ反転していく。これにより、フローティングゲートの電荷量を微量量変更することができる。

【0213】一般的な強誘電体ゲートトランジスタで

は、強誘電体の分極値分しかフローティング電極（ゲート電極109）の電荷量を変更できないが、本実施形態の駆動方法を用いることにより、非常に広い範囲で電荷量を変更できることとなる。すなわち、MOSトランジスタのオン抵抗値を非常に幅広く、しかも詳細に決定することができることとなる。これは、フローティング電極に蓄積された電荷量に応じて連続的に多値の情報を保持可能なアナログメモリとして機能することを意味している。

10 【0214】図37は、本実施形態の半導体装置の初期状態における動作を説明するための特性図である。同図の横軸は印加電圧を、縦軸はドレイン電流を示している。なお、ここでの印加電圧とは、配線125a（または上部電極119）とSi基板101との間に印加される電圧を指す。

【0215】図37に示すように、初期状態の本実施形態の半導体装置に $\pm 2\text{V}$ の範囲で電圧を印加していくと、装置中のMOSトランジスタの VG-ID 特性が反時計回りのヒステリシスを示し、いわゆる強誘電体ゲートトランジスタとして動作する。

【0216】このため、例えば半導体装置に $+2\text{V}$ の電圧を印加した後に印加電圧を除荷しても、強誘電体層131の分極により中間電極114に電荷が誘起されて電位が生じる。このため印加電圧を0Vにしても約 $2\mu\text{A}$ のドレイン電流が流れる。一方、逆に -2V を印加した後に印加電圧を除荷すると、今度は逆にドレイン電流が極めて小さい状態となる（ 10^{-8}A 以下、図示せず）。なお、ここでも第5の実施形態と同様にソース・ドレイン間の電圧は1Vである。

30 【0217】次に、本実施形態の半導体装置に $+6\text{V}$ を印加すると、さらに異なるドレイン電流の値を設定することが可能となる。

【0218】図38は、書き込み電圧として $+6\text{V}$ を印加した後の本実施形態の半導体装置に2Vの電圧パルスを繰り返し印加して除荷したときのドレイン電流を示す図である。このときの電圧パルスの間隔は $20\mu\text{sec}$ である。

【0219】同図に示すように、初期状態にある本実施形態の半導体装置に $+6\text{V}$ を書込み電圧として印加すると、強誘電体キャパシタには2.4Vの電圧が分配されるため、通過電流が指数関数的に増加し、電荷が中間電極114及びゲート電極109に蓄積されることにより、ドレイン電流は初期状態より2桁強も増加する。さらにその後、同じ $+2\text{V}$ の電圧パルスを入力しても、ドレイン電流は約 $1\times 10^{-3}(\text{A})$ と、ほとんど変化しない特性を示す。

【0220】このことから、本実施形態の半導体装置は、高電圧の書き込み電圧を印加することにより、安定してデータを保持できることが分かる。

50 【0221】次に、図39は、 $+6\text{V}$ を印加した後、 \pm

2 V の範囲で印加電圧をスキャンした場合の本実施形態の半導体装置における印加電圧－ドレイン電流の特性図である。

【0222】まず、この半導体装置に+6 V の電圧を印加した後に除荷すると、ドレイン電流は図39の点Iに示す値となる。

【0223】次いで、この点Iの状態半導体装置に2 V の電圧を印加し、さらに電圧を除荷すると、ドレイン電流は図39の点Iから点Jまでに示す軌跡をたどり、除荷後は再び点Iの状態へと復帰する。なお、点Iの状態は、図38に示す電圧パルスを加えた状態に相当する。

【0224】また、点Iの状態の半導体装置に-2 V の電圧を印加すると、点Kに示す状態となり、ドレイン電流は 1×10^{-5} (A) 以下と、2桁程度減少する。続いて、電圧を除荷すると、点Lの状態へと移動して電圧印加前の点Iの状態よりも1桁程度ドレイン電流が減少する。

【0225】第6の実施形態の半導体装置では、図31の点F及び点Hにおけるドレイン電流に大きな差がなく、この点が本実施形態の半導体装置が第5、第6の実施形態の半導体装置と大きく異なる点である。

【0226】これにより、本実施形態の半導体装置では、第5、第6の実施形態の半導体装置よりもさらに多くのデータを保持することができる。

【0227】次に、図39の点Lの状態の半導体装置に+2 V を印加すると、点Mの状態へと移動し、その後、電圧を除荷すると点Nに示す状態となる。このとき、ドレイン電流は点L→点M→点Nで示される軌跡を描いて変化し、点Nの状態では先の点Lの状態におけるよりも大きいドレイン電流が得られる。このように、+6 V の高い印加電圧の後に、±2 V の小さい印加電圧スキャンによってもさらにドレイン電流を変調することが可能である。

【0228】一方、大きい負電圧のパルスを書き込み電圧として入力することもできる。

【0229】図40は、-6 V の電圧を本実施形態の半導体装置に印加した後に+2 V の電圧パルスを印加して除荷した場合のドレイン電流を示す図である。なお、電圧パルスのパルス間隔は $20 \mu\text{sec}$ である。

【0230】同図より、初期状態にある本実施形態の半導体装置に-6 V の電圧を印加することにより、0 V の時のドレイン電流は初期状態よりも4桁低くなることが分かる。この場合も+2 V の電圧パルスの印加及び除荷を繰り返したときのドレイン電流変化は小さい。

【0231】次に、図41は、-6 V の電圧パルスの入力後に、±2 V の範囲で印加電圧をスキャンした場合の本実施形態の半導体装置の印加電圧－ドレイン電流特性を示す図である。この状態でもヒステリシスが見られるものの、0 V 印加状態でのドレイン電流はいずれの極性

の電圧を印加しても極めて低い値のまま保持されている。このように、負電圧を印加することによって、正の電圧を印加した場合と区別できる小さいドレイン電流が得られる。

【0232】以上、本実施形態の半導体装置は、強誘電体キャパシタ104aの抵抗成分の抵抗値がほぼ一定の電圧範囲（低電圧範囲）でMOSトランジスタを駆動する場合と、強誘電体キャパシタ104aを通過する電流が指数関数的に増加する範囲で書きこみを行なう場合とを、印加する電圧を切り替えることで、使い分けることができる。

【0233】本実施形態の半導体装置において、印加電圧－ドレイン電流の特性変化は、中間電極114に強誘電体層131を通過した電荷が蓄積されることによりMOSトランジスタのゲート電極109にも電荷が蓄積され、MOSトランジスタの $V_G - I_D$ 特性が変化することにより生じる。特に、本実施形態の半導体装置では、強誘電体キャパシタ104aの分極方向により中間電極及びゲート電極109の電荷蓄積量を変化させることが可能であるため、第5、第6の実施形態の半導体装置に比べても極めて多くの値を取り得る多値メモリとして使用することができる。

【0234】また、大きい電圧パルスによるドレイン電流の大きな変調と、小さい電圧パルスによるドレイン電流の小さい変調がそれぞれドレイン電流の変調として反映することが可能であるので、極めて重み付けの自由度の高いニューロン素子としての応用も可能である。

【0235】なお、本実施形態の半導体装置においても、第5、第6の実施形態の半導体装置と同様に、配線125aを接地することなどにより特性が初期状態へ復帰し、「忘却」する機能を有する。

【0236】なお、本実施形態の半導体装置においては、記憶情報の保持の観点から、誘電体キャパシタの両端に1 V の電圧を印加した際の通過電流が $100 \text{ (mA/cm}^2\text{)}$ 以下であるようにし、復帰時間が $10 \mu\text{sec}$ 以上とすることで、強誘電体の分極によるドレイン電圧の変調との差異が明確になるようにしている。これは、図29に示した第5の実施形態の半導体装置とほぼ同様の傾向であり、復帰に要する時間はおよそ100秒となっている。

【0237】また、第5の実施形態の半導体装置と同様に、本実施形態の半導体装置においても、強誘電体層131と抵抗素子106とを分離して設けてもよい。その場合、例えば情報を保持する時間を延長するために、抵抗素子106を構成する強誘電体材料を強誘電体層131を構成する強誘電体材料よりも電流を通しにくいものにするなど、要求される条件に合わせて適宜設計することができる。

【0238】また、強誘電体層131と抵抗素子106とを分離して設ける場合、抵抗素子106を構成する材

料として誘電体を用いてもよい。

【0239】なお、本実施形態の半導体装置の駆動方法では、強誘電体層の抵抗値がほぼ一定である電圧領域と、電圧に対して通過電流が指数関数的に増加する電圧領域とを使い分ける方法について説明したが、第5の実施形態と同様に、強誘電体層の抵抗値が無視できる程小さい電圧領域のみで半導体装置を駆動し、且つ、印加電圧のパルスの幅を復帰時間よりも十分短く設定することで、同様に中間電極114及びゲート電極109への電荷蓄積量を変化させることが可能である。

【0240】なお、本実施形態の半導体装置においては、強誘電体層の材料としてBITを用いたが、これと同様に強誘電性を示す材料である、チタン酸鉛、チタン酸ジルコン酸鉛、タンタル酸ストロンチウムなどの材料であれば強誘電体層の材料として用いることができる。

【0241】（第8の実施形態）本発明の第8の実施形態に係る半導体装置は、第7の実施形態における抵抗素子106を、例えば酸化亜鉛（ZnO）からなるバリスタである抵抗素子150に置き換えたものである。ただし、抵抗素子150は強誘電体とは別に設けられている。

【0242】図42(a)は、本実施形態の半導体装置を示す回路図であり、(b)は、抵抗素子150のバリスタ特性を示す図である。なお、図32と同じ部材は同じ符号で示す。

【0243】図42(b)に示すように、ZnOなど、一部の金属酸化物は、印加される電圧により抵抗値が大きく変化する性質がある。電極面積が $10\mu\text{m}^2$ の本実施形態の抵抗素子150の場合、 -1V 以上 $+1\text{V}$ の以下の電圧範囲では約 $180\text{G}\Omega$ もの抵抗値を示すが、電圧の絶対値が 1.5V を超えると抵抗値が激減する。

【0244】このことから、例えば -2V 以下及び 2V 以上の電圧範囲を粗調時電圧とし、 $-1\text{V}\sim+1\text{V}$ の範囲を微調時電圧として動作させることにより、第7の実施形態の半導体装置と同様の動作が可能になる。

【0245】加えて、本実施形態の半導体装置では、抵抗素子150の素材を任意に選択できるので、動作電圧の範囲を自由に設定することが可能になっている。例えば、強誘電体の分極が飽和する電圧より抵抗素子150の低抵抗電圧を少しだけ高い電圧とすることで、より低い駆動電圧で粗調整及び微調整の動作を実行することができる。

【0246】次に、図43は、本実施形態の半導体装置の構造を示す断面図である。

【0247】同図に示すように、本実施形態の強誘電体131と抵抗素子150とは上部電極及び下部電極を共通として設けられていてもよい。このような構造は公知の技術を用いて容易に実現可能である。例えば、下部電極の全面の上に強誘電体を堆積後、その一部を選択的にエッチングし、強誘電体が除かれた部分の下部電極上に

ZnOを堆積する。なお、ここでは、強誘電体と抵抗素子とが接して設けられる例を示したが、互いに離して設けられていてもよい。

【0248】なお、抵抗素子を構成する材料としては、ZnOの他、 $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ などのペロブスカイト型酸化物、 TiO_2 系酸化物、 Fe_2O_3 系酸化物、 Cu_2O 系酸化物などを用いることができる。また、これらの金属酸化物の抵抗を下げるために、上述の金属酸化物に Bi_2O_3 や希土類元素の添加を行なうこともできる。これにより、金属酸化物材料の抵抗率及び抵抗変化率を適宜調節することができる。また、SiのPN接合や、SiC半導体にAlを添加した系や、Seなども抵抗素子の材料として使用可能である。

【0249】なお、本実施形態の半導体装置では、粗調時と微調時とを使い分けることによって多値の情報を良好に保持できるように制御したが、強誘電体と並列に設ける素子は、抵抗素子に限らず、印加電圧によりフローティングゲートに注入する電荷を変化させることができる素子または回路であればよい。

【0250】（第9の実施形態）本発明の第9の実施形態に係る半導体装置は、第7の実施形態における抵抗素子106を、互いに並列に接続され、且つ互いに逆方向に配置された2つのダイオードに置き換えたものである。

【0251】図44は、本実施形態の半導体装置を示す回路図である。なお、図32と同じ部材には同じ符号を付している。

【0252】同図に示すように、本実施形態の半導体装置は、制御電圧供給部110と、MOSトランジスタと、MOSトランジスタのゲート電極109に接続され、互いに並列に設けられた強誘電体キャパシタ104aと、ダイオード152と、ダイオード154とを備えている。また、ダイオード152とダイオード154とは互いに逆方向に配置されている。すなわち、ダイオード152とダイオード154は、各々の入力部と出力部とが接続されている。

【0253】本実施形態において、ダイオード152及び154は例えばPNダイオード等である。これらのダイオードは、所定値以上の順方向電圧を加えた場合、電流が流れ、所定値を下回る電流を加えた場合にはほとんど電流が流れない。また、耐圧範囲であれば、逆方向の電流を加えても電流はほとんど流れない。

【0254】図44に示すように、互いに逆方向の2つのダイオードを並列に接続することにより、ダイオードのしきい値を $t\text{V}$ とした場合、ダイオードに印加される電圧が $-t\text{V}\sim+t\text{V}$ の間であれば電流がほとんど流れず、電圧の絶対値が $t\text{V}$ を以上になった場合には電流が流れ、フローティングゲートには電荷が流入する。

【0255】このため、第3及び第8の実施形態と同様に、分配される電圧の絶対値が大きい場合を粗調時、分

配される電圧の絶対値が小さい場合を微調時として多値のデータを記憶させることができる。

【0256】なお、本実施形態の半導体装置では、ダイオード152及び154としてPNダイオードを用いる例を示したが、ショットキーダイオードなど他のダイオードを用いてもよい。

【0257】（第10の実施形態）本発明の第10の実施形態に係る半導体装置は、第7の実施形態における抵抗素子106を、制御電圧 V_r によってオンまたはオフを制御されるMISトランジスタに置き換えたものである。

【0258】図45は、本実施形態の半導体装置を示す回路図である。

【0259】同図に示すように、本実施形態の半導体装置は、制御電圧供給部110と、MOSトランジスタと、MOSトランジスタのゲート電極109に接続された強誘電体キャパシタ104aと、制御電圧供給部110とゲート電極109との間に設けられたMISトランジスタ156とを備えている。また、MISトランジスタ156は、制御信号 V_r によって制御されている。

【0260】本実施形態の半導体装置によれば、外部の制御回路等などによりMISトランジスタのオン、オフを適切に制御することにより、第3～5の実施形態で説明したようなフローティングゲート電位の粗調節及び微調節が可能になる。例えば、MISトランジスタに印加される電圧の絶対値が所定値以上のときにはMISトランジスタをオン状態にし、MISトランジスタに印加される電圧の絶対値が設定値以下であればオフ状態に制御する。

【0261】本実施形態の半導体装置によれば、MISトランジスタの構造によらず、制御電圧 V_r を適宜変化させることで粗調時及び微調時の切替えを行なうことができるので、任意の電圧範囲で動作させることができる。

【0262】なお、本実施形態の半導体装置において、MISトランジスタ156に変えてバイポーラトランジスタを用いることもできる。

【0263】（第11の実施形態）本発明の第11の実施形態に係る半導体装置は、第7の実施形態における抵抗素子106を、抵抗制御信号 V_w によって結晶性が制御される抵抗変化素子158に置き換えたものである。

【0264】図46は、本実施形態の半導体装置を示す回路図である。

【0265】同図に示すように、本実施形態の半導体装置は、制御電圧供給部110と、MOSトランジスタと、制御電圧供給部110とMOSトランジスタのゲート電極109との間に設けられた強誘電体キャパシタ104aと、制御電圧供給部110とMOSトランジスタのゲート電極109との間に設けられ、強誘電体キャパシタ104aと並列に設けられた抵抗変化素子158と

を備えている。また、抵抗変化素子158は、例えばゲルマニウム(Ge)、テルル(Te)、アンチモン(Sb)の3元素を主成分とする合金から構成されており、その結晶性は抵抗制御信号 V_w によって制御されている。

【0266】抵抗変化素子158は、 V_w が設定値以上の高電圧パルスの際にアモルファス状態となり、抵抗値が大きくなる。その後、 V_w パルスを小さくすることにより、抵抗値を徐々に小さくし、任意の値に調節することができる。そのため、フローティングゲートに電荷を蓄積させたい場合には V_w パルスを低電圧とし、その状態で制御電圧供給部110から電圧を供給する。次いで、フローティングゲートの電位を微調節したり、データを保持する場合には、 V_w パルスを高電圧とし、強誘電体キャパシタ104aに図35に示す微調時電圧範囲の電圧を印加する。これにより、強誘電体からのリーク電流も抵抗変化素子からのリーク電流も小さくできる。このように、抵抗変化素子を用いることによって、多値情報を良好に保持可能な半導体装置が実現できる。

【0267】なお、本実施形態の抵抗変化素子158の材料としては、Ge、Te、Sb以外のカルコゲナイド材料も好ましく用いられる。

【0268】（第12の実施形態）本発明の第12の実施形態として、第7の実施形態の半導体装置をニューロン素子として用いたニューロンコンピュータについて説明する。

【0269】図48は、生物の脳について、基本単位の構成を簡略化したモデルを示す図である。同図に示すように、生物の脳は、演算機能を持った神経細胞である前段のニューロン141a及び後段のニューロン141b、141cと、ニューロンからの演算結果を伝達する神経繊維142a、142b、142cと、神経繊維により伝達される信号に重みをかけてニューロンに入力するシナプス結合143a、143b、143cとを有している。

【0270】例えば、神経繊維142aを含む多数の神経繊維により伝達された信号は、シナプス結合143aを含む多数のシナプス結合により W_a 、 W_b 、 W_c といった重みをかけられ、ニューロン141aに入力される。ニューロン141aは入力された信号強度の線形和をとり、それらの合計値がある閾値を越えると活性化されて、神経繊維142bに信号を出力する。ニューロンが活性化されて信号を出力することをニューロンが「発火した」という。

【0271】この出力信号は、例えば2つに分岐し、それぞれシナプス結合により重みをかけられた後に、後段のニューロン141b、141cに入力される。後段のニューロン141b、141cでも入力された信号の線形和をとり、それらの合計値がある閾値を越えるとニューロン141b、141cが活性化されて、信号を出力

する。この動作が複数段階繰り返されて演算結果が出力される。

【0272】また、シナプス結合においてかけられる荷重は、学習により徐々に修正され、最終的に最適の演算結果が得られるようになる。

【0273】ニューロンコンピュータは、このような脳の機能を半導体装置で代用するべく設計されている。

【0274】図47は、本実施形態のニューロンコンピュータの基本構成の概略を示す図である。なお、同図において、第7の実施形態の半導体装置と同じ部材は、図32に示す符号と同じ符号で示す。

【0275】まず、本実施形態のニューロンコンピュータに用いられる第7の実施形態に係る半導体装置は、すでに述べたように、制御電圧供給部110と、ゲート電極109とドレイン領域103aとソース領域103bと基板電極108とを有するMOSトランジスタTr11と、MOSトランジスタTr11のゲート電極109と制御電圧供給部110との間に互いに並列に介設された強誘電体キャパシタ104a及び抵抗素子106とを有している。

【0276】次に、図47に示すように、本実施形態のニューロンコンピュータは、第7の実施形態に係る半導体装置と、接地とMOSトランジスタTr11のソース電極との間に介設された電気抵抗133と、MOSトランジスタTr11のソース電極と電気抵抗133との間に設けられたノードN1と、フローティングゲートとフローティングゲートの上に設けられた多数の入力ゲートとソース及びドレイン電極とを有するトランジスタTr12と、トランジスタTr12のソース電極と電圧供給線Vddとの間に介設された電気抵抗132とを有している。また、トランジスタTr12のソース電極は接地に接続されている。さらに、ノードN1は入力ゲートのうちの1つに接続されている。

【0277】なお、第7の実施形態に係る半導体装置、ノードN1及び電気抵抗133は生物の脳でいえば信号の伝達と重み付けを行なうシナプス部（神経繊維とシナプス結合）に相当し、多数のシナプス部が、トランジスタTr12と電気抵抗132とからなるニューロン部（ニューロンMOS）に接続されている。本実施形態のニューロンコンピュータにおいては、脳の構造を模して、互いに接続されたシナプス部とニューロン部の組み合わせを1層として、例えばこれが4層程度重ね合わされた構造をとっている。

【0278】次に、信号の伝達経路であるが、まず、前段ニューロン部からの出力信号Ss1がMOSトランジスタTr11のドレイン電極に入力され、荷重信号Siが制御電圧供給部110に入力される。すると、荷重信号SiによってMOSトランジスタTr11から流れるドレイン電流値が変化する。

【0279】次に、MOSトランジスタTr11から出

力された電流信号は、電気抵抗133により電圧の信号に変換され、トランジスタTr12の入力ゲートに入力される。トランジスタTr12の入力ゲートには他の多数のシナプス部からの信号も入力され、これらの入力信号の電圧の和がトランジスタTr12の閾値以上になるとニューロンが「発火」してニューロン部から信号が出力される。続いて、出力された信号は次段のシナプス部へと伝達される。

【0280】一方、シナプス部からの入力信号の電圧の和がトランジスタTr12の閾値より小さい場合には、信号は出力されない。

【0281】本実施形態のニューロンコンピュータにおいては、単純な構造でシナプス部に多値の情報を保持できる第7の実施形態の半導体装置をシナプス部に用いているので、小さい面積で信号に多様な重みをかけることができる。この結果、シナプス部及びニューロン部を集積して作製される学習機能を持ったニューロンコンピュータのサイズを小さくすることができる。

【0282】また、第7の実施形態の半導体装置は、既に説明したように6V程度で印加電圧ドレイン電流の特性を変化させた後、±2V程度の低電圧を印加することでMOSトランジスタTr11のドレイン電流を細かく変化させることができる。そのため、本実施形態のニューロンコンピュータでは、加重信号Siが比較的低電圧であってもこれに対応した多様なレベルの重みをかけることが可能になる。

【0283】また、本実施形態のニューロンコンピュータのシナプス部は、荷重信号Siの履歴を記憶するとともに、長期間使用されない場合には履歴を忘却する機能も持っている。

【0284】なお、本実施形態のニューロンコンピュータにおいては、シナプス部に強誘電体キャパシタを備えた第7の実施形態の半導体装置を用いたが、これに代えて誘電体キャパシタを備えた第5の実施形態の半導体装置や、第8～第11の実施形態の半導体装置を用いてもよい。

【0285】

【発明の効果】本発明の半導体装置によれば、互いに抗電圧の異なる強誘電体キャパシタを並列に接続することにより、キャパシタのヒステリシスにおいてキャパシタの分極が飽和する点以外に、分極が準安定になる点を得られる。これにより、記憶情報の分離性を高くすることができ、強誘電体膜厚バラツキや強誘電体の結晶性の違いなどによって蓄込み電圧が揺らいだ場合でも安定に3値以上の分極を得ることができる。

【0286】また、本発明の半導体装置及びその駆動方法によれば、MOSトランジスタのゲート電極と電圧供給部との間に誘電体キャパシタと抵抗素子とを互いに並列に介設しているため、電圧供給部に印加電圧をかけることにより、キャパシタの中間電極とゲート電極とに電

荷を蓄積させ、MOSトランジスタの電圧ードレイン電流特性を変えることができる。このことを利用して、多値メモリのみならず、信号の重みつけを行なうニューロン素子の構成要素としても応用可能な半導体装置を実現することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態に係る多値メモリを示す上面図である。

【図 2】本発明の第 1 の実施形態に係る多値メモリにおいて、図 1 の II-II 断面を示す断面図である。

【図 3】本発明の第 1 の実施形態に係る多値メモリにおいて、図 1 の III-III 断面を示す断面図である。

【図 4】(a) ~ (e) は本発明の第 1 の実施形態に係る多値メモリの製造工程を示す断面図である。

【図 5】本発明の第 1 の実施形態に係る多値メモリを示す等価回路図である。

【図 6】キャパシタ MFM1 の電圧一分極ヒステリシス特性 (P-V 特性) を示す図である。

【図 7】キャパシタ MFM2 の P-V 特性を示す図である。

【図 8】キャパシタ MFM1 及びおよびキャパシタ MFM2 の P-V 特性とキャパシタ全体の P-V 特性とを示す図である。

【図 9】本発明の多値メモリにおいて、3 個のキャパシタを用いたときのキャパシタ全体の P-V 特性を示す図である。

【図 10】本発明の第 1 の実施形態の多値メモリにおいて、上部ゲート電極と下部電極の間に印加した電圧と、強誘電体キャパシタの実効的分極とを示した図である。

【図 11】本発明の第 1 の実施形態に係る多値メモリの各書き込み電圧に対するゲート電圧ードレイン電流特性を説明するための図である。

【図 12】従来の多値メモリの書き込み電圧の揺らぎと分極値の揺らぎの相関を説明するための図である。

【図 13】従来の多値メモリについて、図 12 の A 部で示した部分の拡大図である。

【図 14】本発明の第 1 の実施形態の多値メモリの、書き込み電圧の揺らぎと分極値の揺らぎの相関を説明するための図である。

【図 15】本発明の第 1 の実施形態の多値メモリについて、図 14 の B 部で示した部分の拡大図である。

【図 16】(a) ~ (d) は、本発明の多値メモリについて、キャパシタ MFM2 の面積をキャパシタ MFM1 に対して変化させた場合の実効分極を示す図である。

【図 17】(a) ~ (d) は、本発明の多値メモリについて、キャパシタ MFM1 の面積をキャパシタ MFM2 に対して変化させた場合の実効分極を示す図である。

【図 18】本発明の第 1 の実施形態に係る多値メモリの変型例を示す断面図である。

【図 19】本発明の第 2 の実施形態に係る多値メモリの

構造を示す断面図である。

【図 20】本発明の第 3 の実施形態に係る多値メモリの概略を示す回路図である。

【図 21】本発明の第 4 の実施形態に係る多値メモリを示す等価回路図である。

【図 22】本発明の第 5 の実施形態に係る半導体装置を示す等価回路図である。

【図 23】本発明の第 5 の実施形態に係る半導体装置を示す上面図である。

10 【図 24】本発明の第 5 の実施形態に係る半導体装置の図 22 に示す XXIV-XXIV 線における断面図である。

【図 25】本発明の第 5 の実施形態に係る半導体装置の図 22 に示す XXV-XXV 線における断面図である。

【図 26】(a) ~ (d) は、本発明の第 5 の実施形態に係る半導体装置の製造工程を示す断面図である。

【図 27】本発明の第 5 の実施形態に係る半導体装置に用いられる誘電体キャパシタの印加電圧ー通過電流特性を示す図である。

20 【図 28】本発明の第 5 の実施形態に係る半導体装置の印加電圧ードレイン電流特性を示す図である。

【図 29】本発明の第 5 の実施形態に係る半導体装置において、誘電体キャパシタを流れる通過電流と復帰時間との相関図である。

【図 30】本発明の第 6 の実施形態に係る半導体装置の駆動方法における誘電体キャパシタの印加電圧ー通過電流特性を示す図である。

【図 31】本発明の第 6 の実施形態に係る半導体装置の印加電圧ードレイン電流特性を示す図である。

30 【図 32】本発明の第 7 の実施形態に係る半導体装置を示す等価回路図である。

【図 33】(a) ~ (d) は、本発明の第 7 の実施形態に係る半導体装置の製造工程を示す図である。

【図 34】(a) は、本実施形態の半導体装置において、記憶情報を大幅に変更する粗調時の等価回路を示す図であり、(b) は、記憶情報を微小変更する微調時の等価回路を示す図である。

【図 35】本発明の第 7 の実施形態に係る半導体装置に用いられる強誘電体キャパシタの印加電圧ー通過電流特性を示す図である。

40 【図 36】第 7 の実施形態に係る半導体装置における、電圧印加方法の一例を示す図である。

【図 37】本発明の第 7 の実施形態に係る半導体装置の初期状態における印加電圧ードレイン電流特性を示す図である。

【図 38】本発明の第 7 の実施形態に係る半導体装置において、+6 V を印加した後で連続的にパルス電圧を加えたときのドレイン電流を示す図である。

50 【図 39】本発明の第 7 の実施形態に係る半導体装置において、+6 V を印加した後で ±2 V の範囲で印加電圧をスキャンした場合の印加電圧ードレイン電流特性を示す図である。

す図である。

【図 40】本発明の第 7 の実施形態に係る半導体装置において、 -6 V を印加した後で連続的にパルス電圧を加えたときのドレイン電流を示す図である。

【図 41】本発明の第 7 の実施形態に係る半導体装置において、 -6 V を印加した後で $\pm 2\text{ V}$ の範囲で印加電圧をスキャンした場合の印加電圧-ドレイン電流特性を示す図である。

【図 42】(a) は、本発明の第 8 の実施形態に係る半導体装置を示す回路図であり、(b) は、抵抗素子のバ

リスタ特性を示す図である。

【図 43】第 8 の実施形態に係る半導体装置の構造を示す断面図である。

【図 44】本発明の第 9 の実施形態に係る半導体装置を示す回路図である。

【図 45】本発明の第 10 の実施形態に係る半導体装置を示す回路図である。

【図 46】本発明の第 11 の実施形態に係る半導体装置を示す回路図である。

【図 47】本発明の第 12 の実施形態に係るニューロンコンピュータの基本構成の概略を示す図である。

【図 48】生物の脳について、基本単位の構成を簡略化したモデルを示す図である。

【図 49】多値メモリとして機能する従来の半導体装置の断面図である。

【図 50】多値メモリとして機能する従来の半導体装置のヒステリシス特性を示す図である。

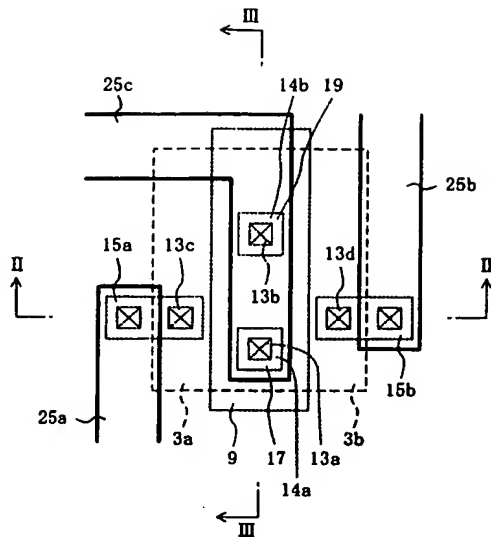
【図 51】従来の半導体装置のメモリセルのゲート電圧とドレイン電流との関係を示すグラフである。

【符号の説明】

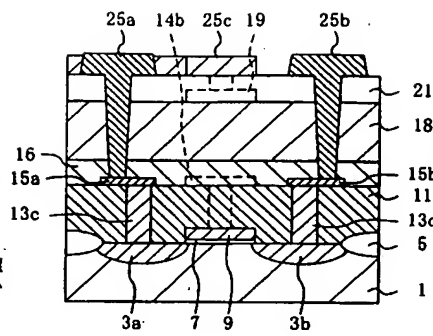
1	基板
3 a	ドレイン領域
3 b	ソース領域
5	素子分離膜
7	ゲート絶縁膜
9	ゲート電極
11	第 1 の層間絶縁膜
13 a、13 b、13 c、13 d	プラグ配線
14 a	第 1 の中間電極
14 b	第 2 の中間電極
15 a、15 b	パッド部
16	第 1 の強誘電体層

17	第 1 の上部電極
18	第 2 の強誘電体層
19	第 2 の上部電極
20	絶縁層
21	第 2 の層間絶縁膜
25 a、25 b、25 c	配線
26	ゲート電極/下部電極
27	第 1 の強誘電体層
28	第 2 の強誘電体層
29	第 1 の上部電極
30	第 2 の上部電極
31	層間絶縁膜
32	プラグ配線
WL	ワード線
BL	ビット線
101	Si 基板
103 a	ドレイン領域
103 b	ソース領域
104	誘電体キャパシタ
104 a	強誘電体キャパシタ
105	素子分離酸化膜
106	抵抗素子
107	ゲート絶縁膜
108	基板電極
109	ゲート電極
110	制御電圧供給部
111	第 1 の層間絶縁膜
113 a、113 b、113 c	プラグ配線
114	中間電極
115 a、115 b	パッド部
116	誘電体層
119	上部電極
121	第 2 の層間絶縁膜
125 a、125 b、125 c	配線
131	強誘電体層
132、133	電気抵抗
Ss1	前段シナプスからの出力信号
Si	荷重信号
Tr11	MOS トランジスタ
Tr12	トランジスタ
N1	ノード

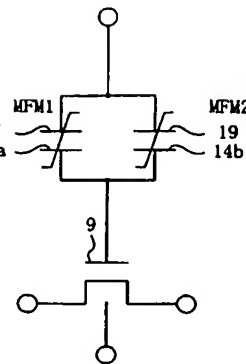
【図1】



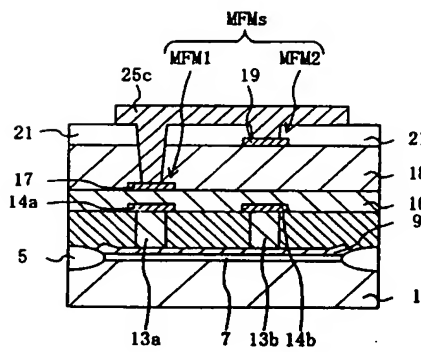
【図2】



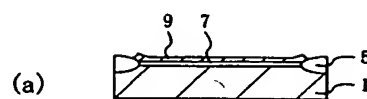
【図5】



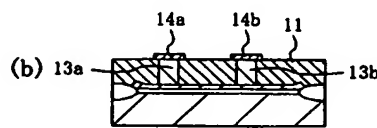
【図3】



【図4】



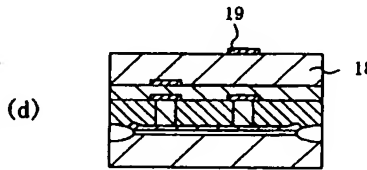
(a)



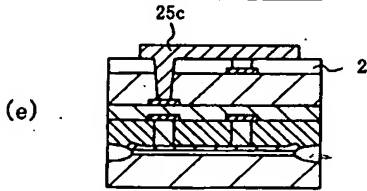
(b)



(c)

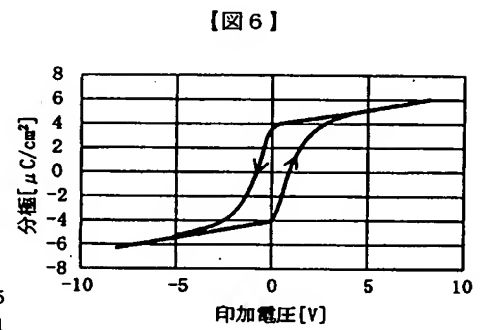
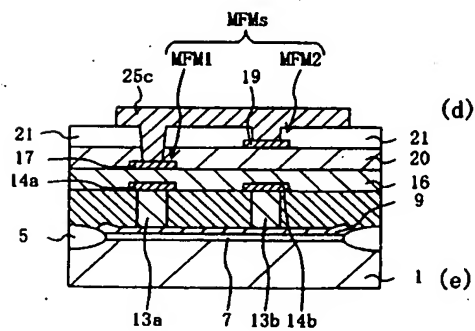


(d)

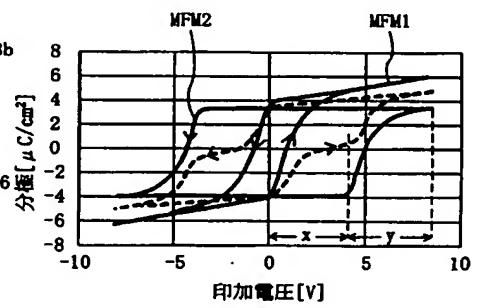


(e)

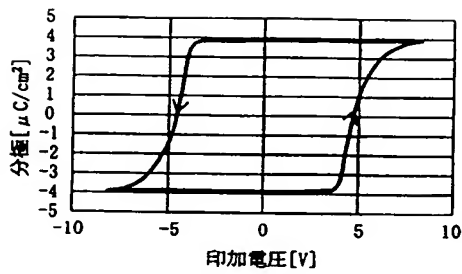
【図18】



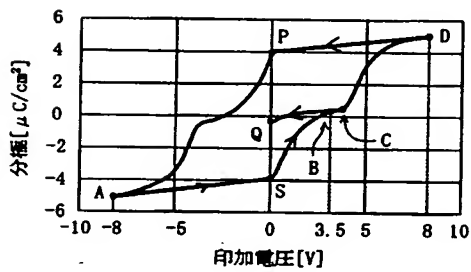
【図8】



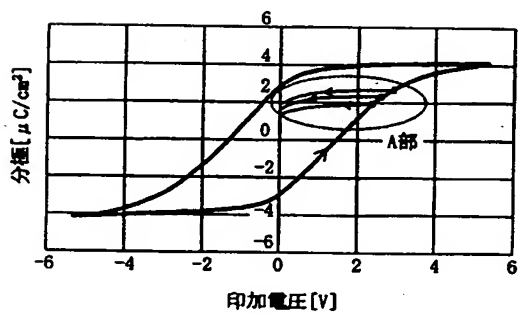
【図 7】



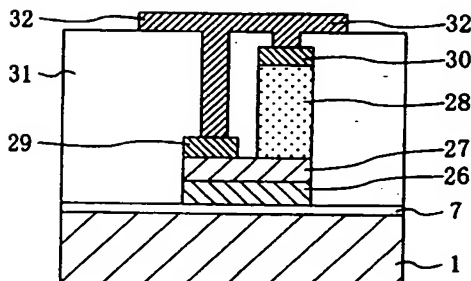
【図 10】



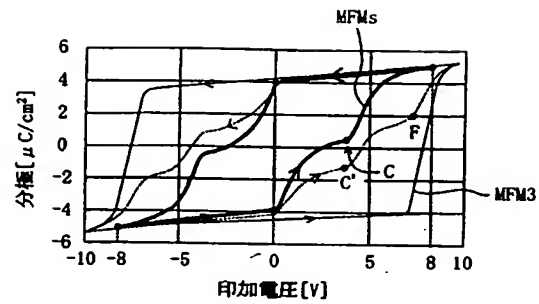
【図 12】



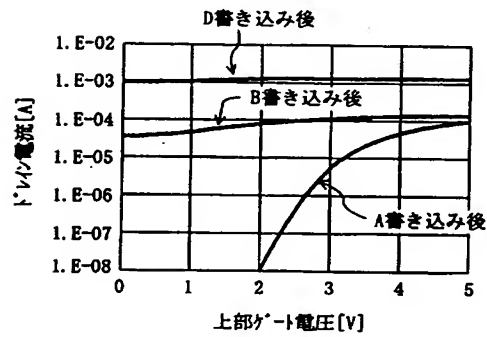
【図 19】



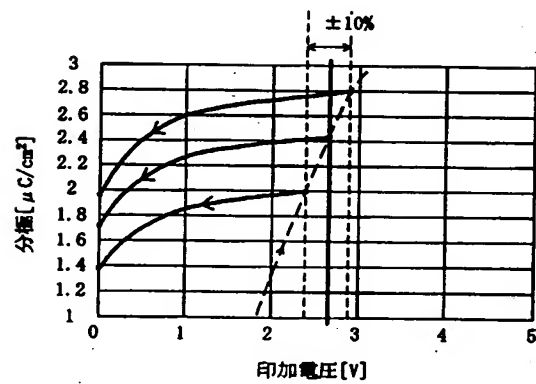
【図 9】



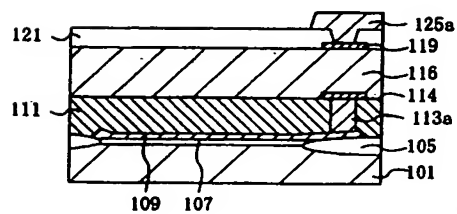
【図 11】



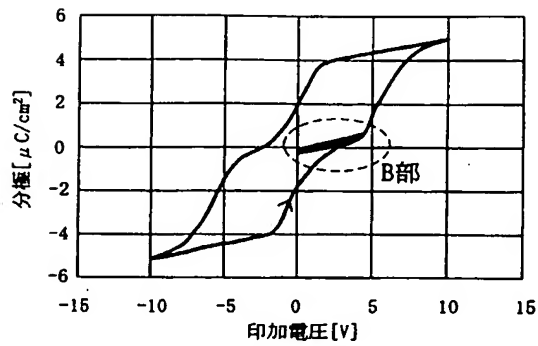
【図 13】



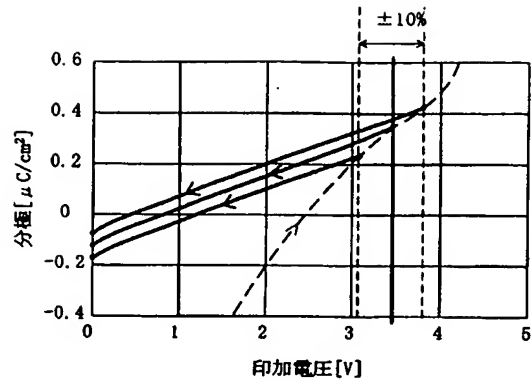
【図 25】



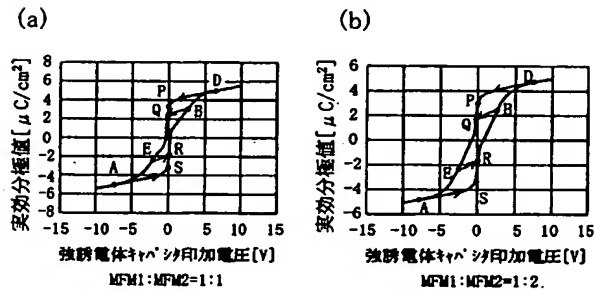
【図14】



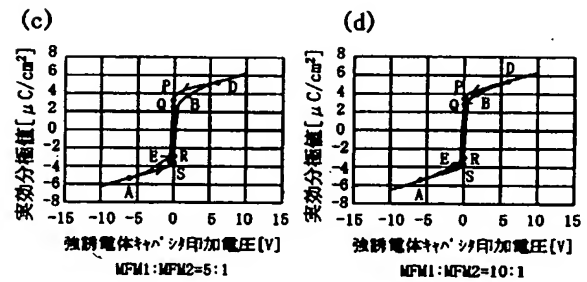
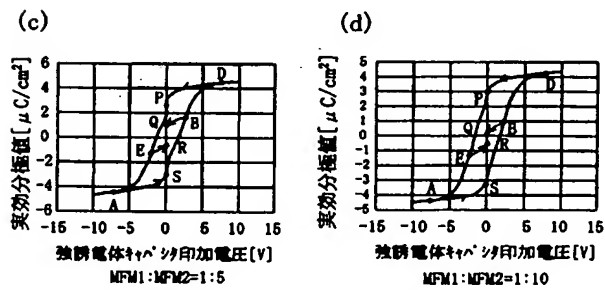
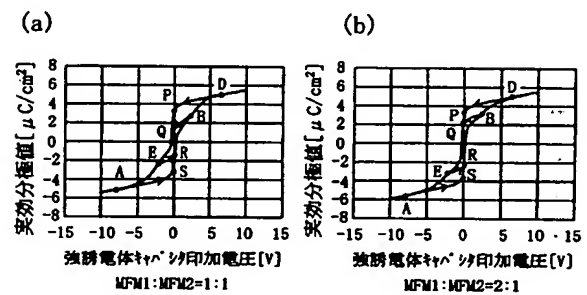
【図15】



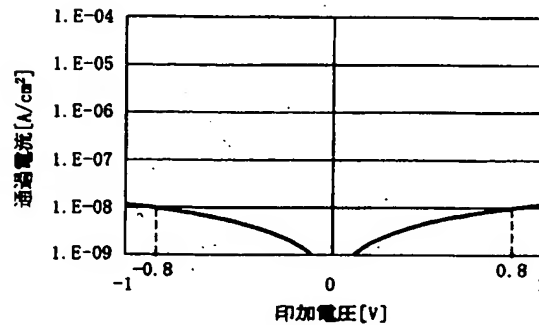
【図16】



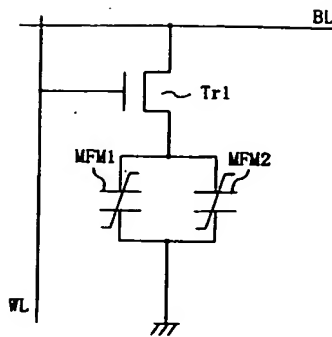
【図17】



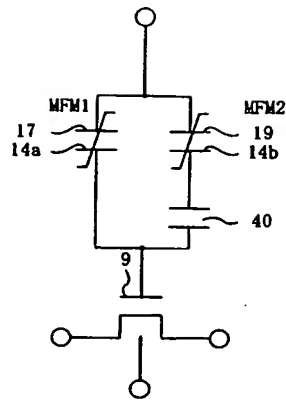
【図27】



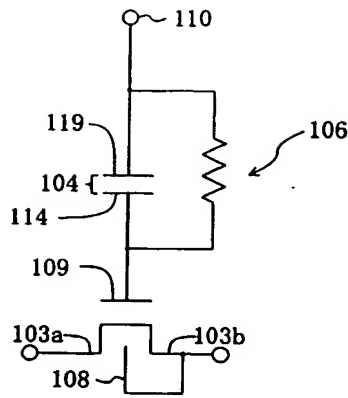
【図20】



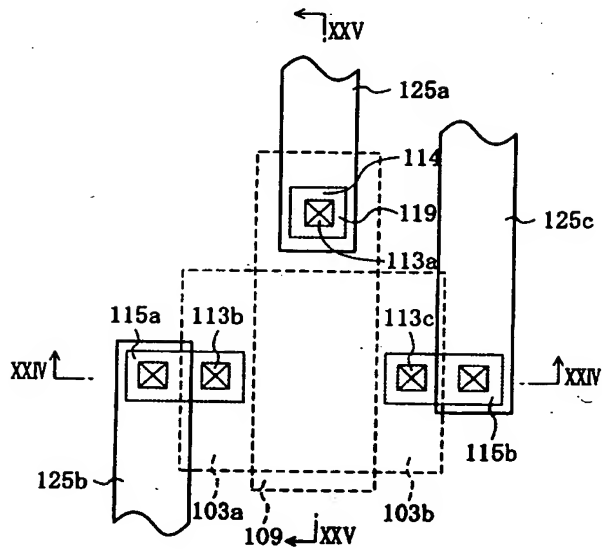
【図21】



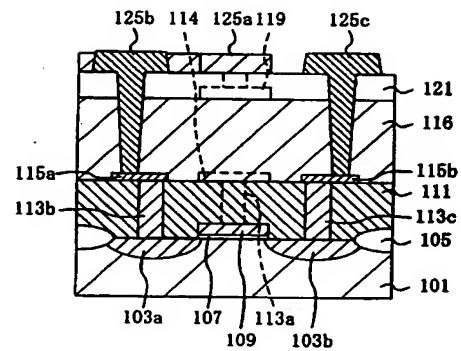
【図22】



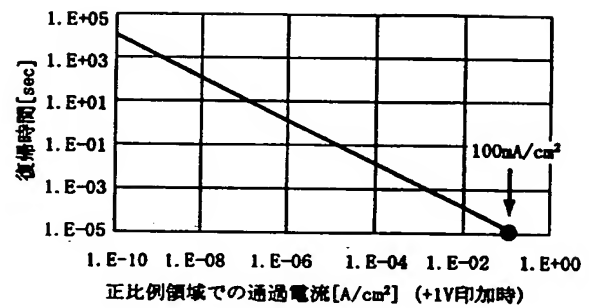
【図23】



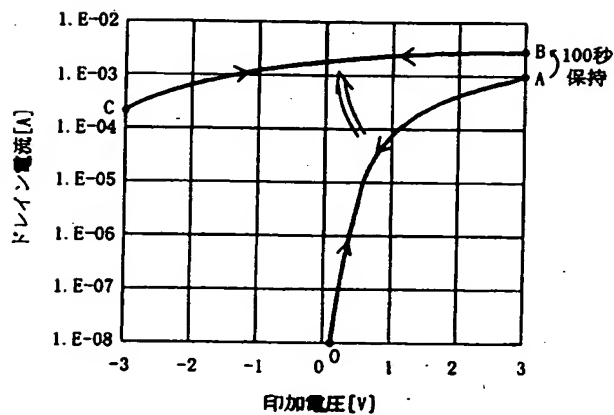
【図24】



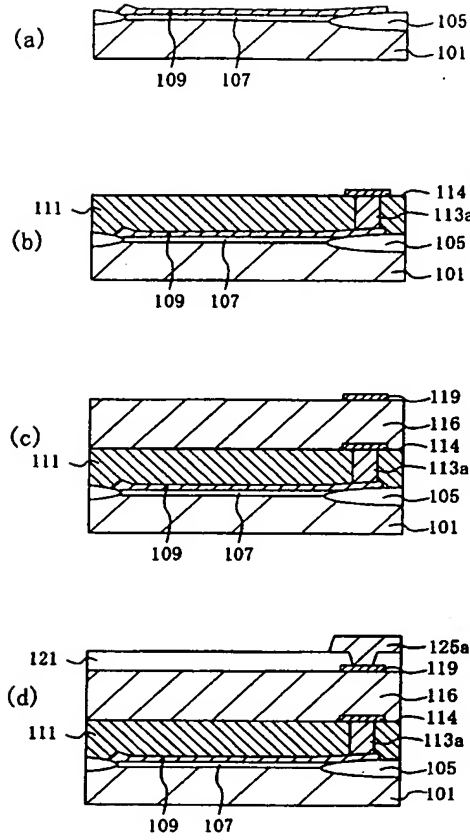
【図29】



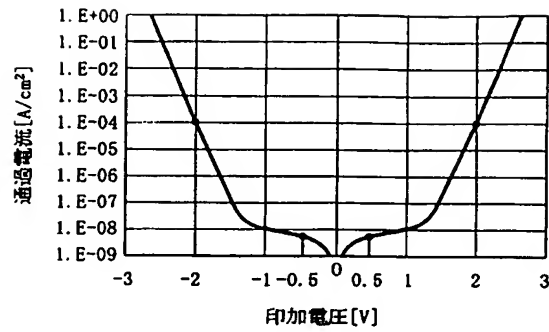
【図28】



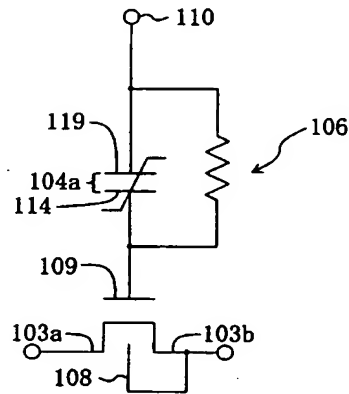
【図26】



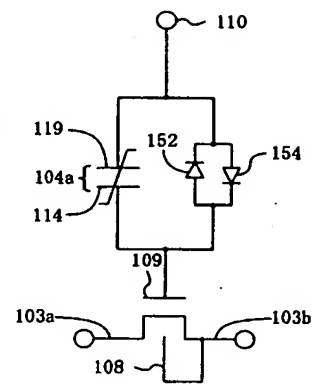
【図30】



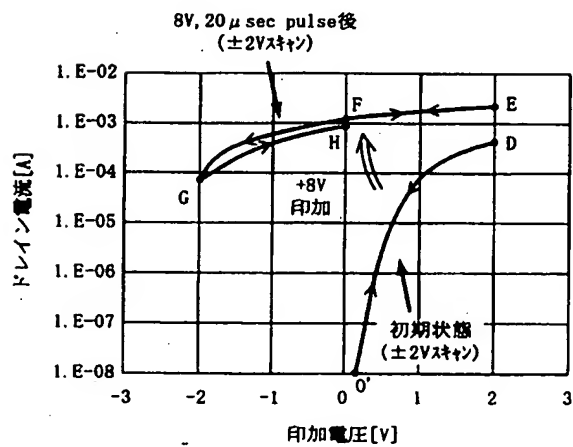
【図32】



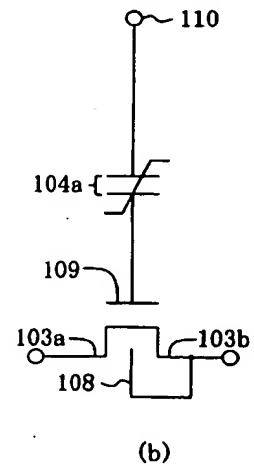
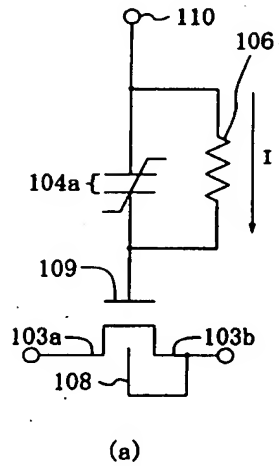
【図44】



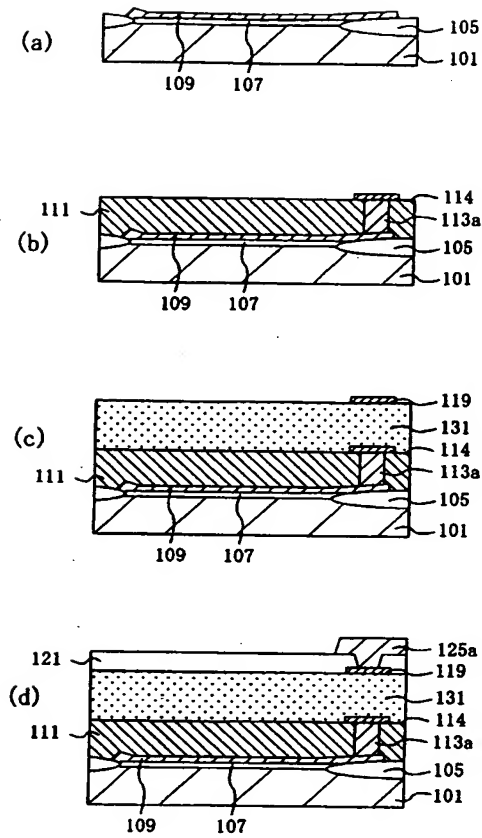
【図31】



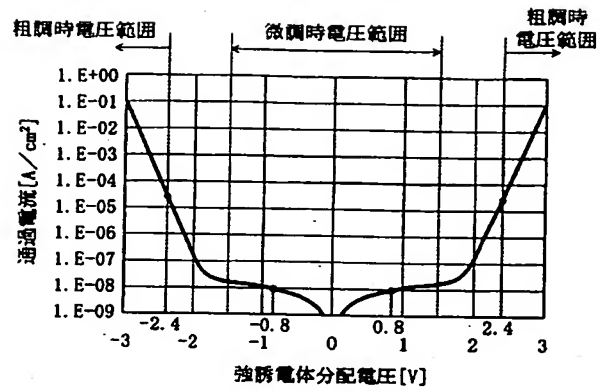
【図34】



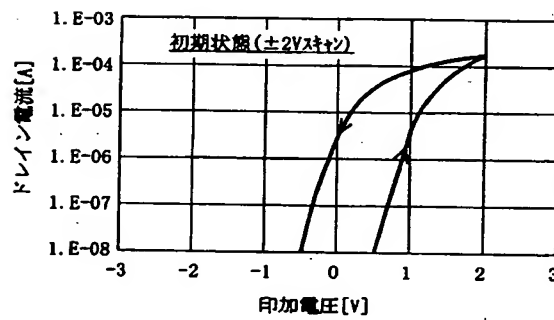
【図33】



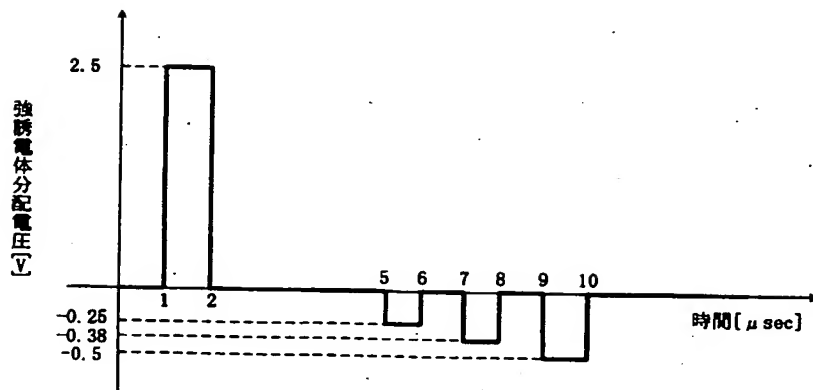
【図35】



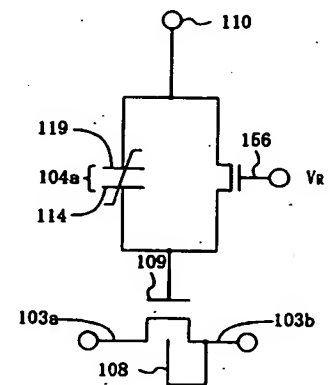
【図37】



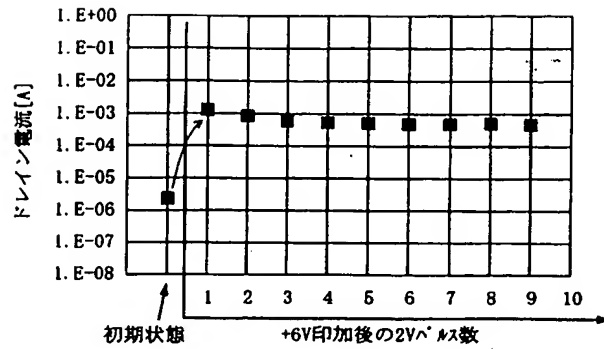
【図36】



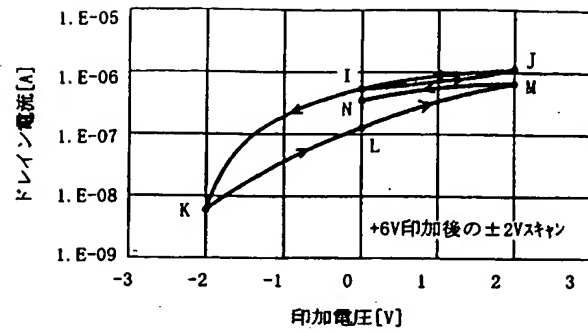
【図45】



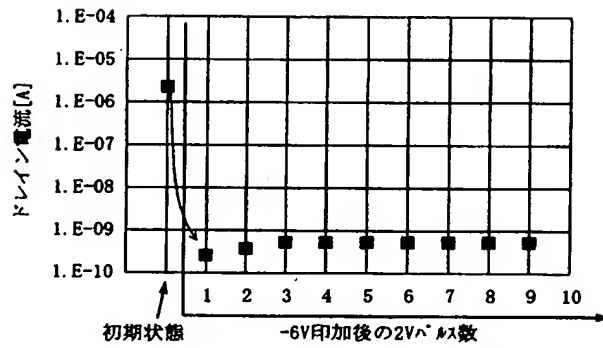
【図38】



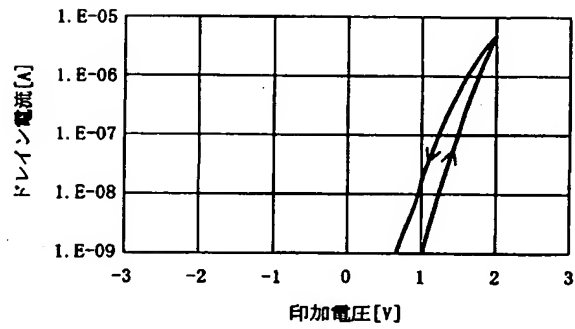
【図39】



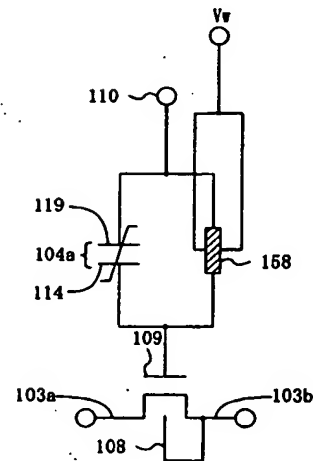
【図40】



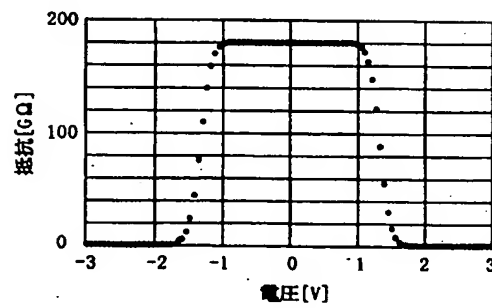
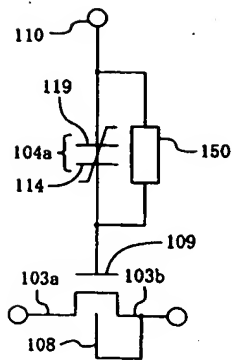
【図41】



【図46】



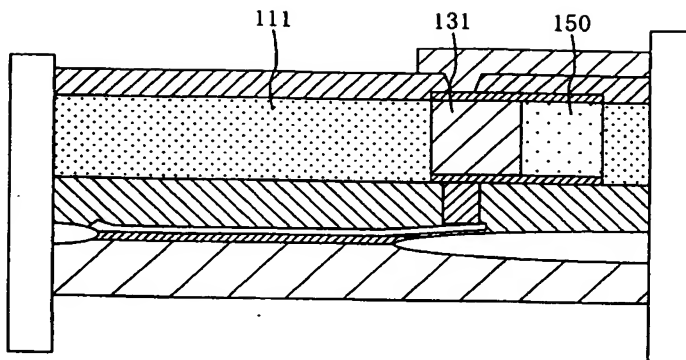
【図42】



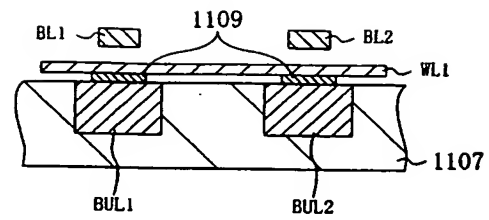
(a)

(b)

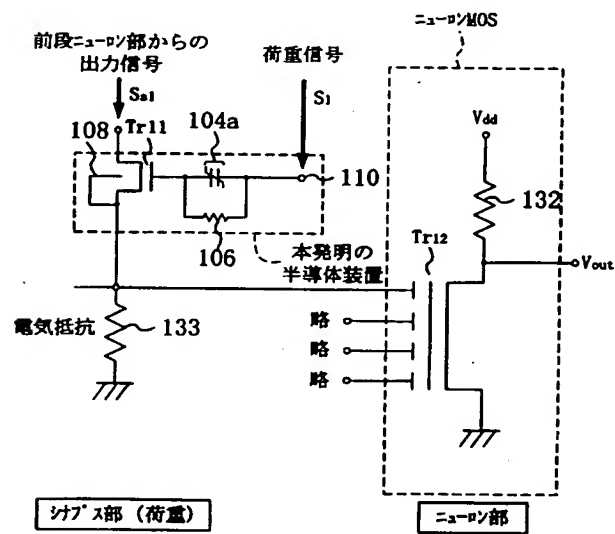
【図43】



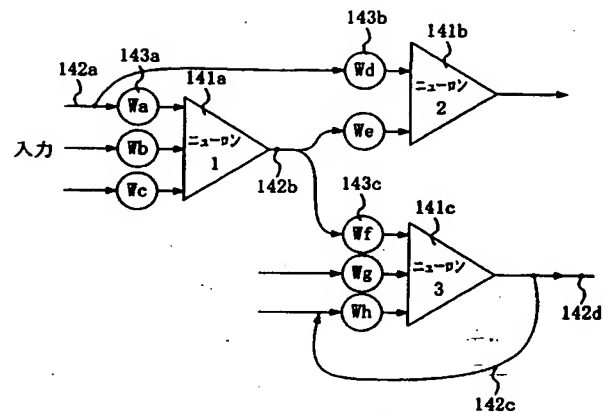
【図49】



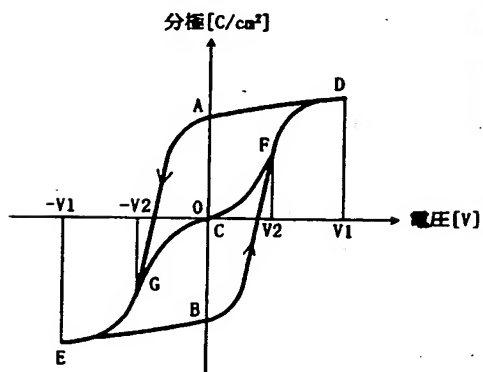
【図47】



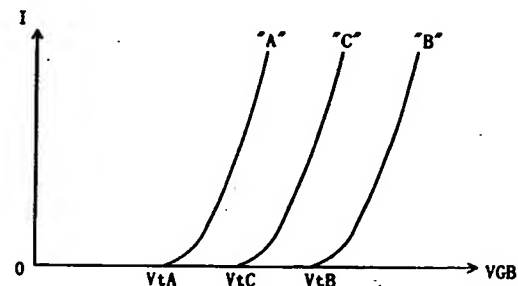
【図48】



【図50】



【図51】



【手続補正書】

【提出日】平成14年12月25日（2002. 12. 25）

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 半導体基板と、
上記半導体基板上に形成された第1の上部電極、第1の誘電体層、及び第1の下部電極からなる第1のキャパシタと、
上記半導体基板上に形成された第2の上部電極、第2の誘電体層、及び第2の下部電極からなる第2のキャパシタとを配置して構成される記憶部とを備え、3値以上の情報を保持可能な半導体装置であって、
上記第1の誘電体層と上記第2の誘電体層のヒステリシス特性における抗電圧値が互いに異なっている半導体装置。

【請求項2】 請求項1に記載の半導体装置において、動作時には、上記第1のキャパシタの分極方向と上記第2のキャパシタの分極方向とが互いに同じとなることを特徴とする半導体装置。

【請求項3】 請求項1または2に記載の半導体装置において、
上記半導体基板上に形成されたゲート絶縁膜と、上記ゲート絶縁膜の上に形成された導体膜からなるゲート電極とを有するトランジスタをさらに備え、
上記第1の下部電極と上記第2の下部電極とが共に上記ゲート電極と一体化されていることを特徴とする半導体装置。

【請求項4】 請求項1または2に記載の半導体装置において、
上記半導体基板上に形成されたゲート絶縁膜と上記ゲート絶縁膜の上に形成された導体膜からなるゲート電極とをさらに備え、
上記第1の下部電極と上記第2の下部電極とがそれぞれ上記ゲート電極と互いに接続されていることを特徴とする半導体装置。

【請求項5】 請求項1～4のうちいずれか1つに記載の半導体装置において、
上記第1のキャパシタ及び上記第2のキャパシタのそれぞれの分極が0から飽和するまでの前半過程で、電圧の変化に対する分極の変化率が相異なることを特徴とする半導体装置。

【請求項6】 請求項1～5のうちいずれか1つに記載の半導体装置において、

上記第1の誘電体層及び上記第2の誘電体層は、共に強誘電体層を有していることを特徴とする半導体装置。

【請求項7】 請求項1～6のうちいずれか1つに記載の半導体装置において、
上記第1の上部電極と上記第2の上部電極とは互いに接続されていることを特徴とする半導体装置。

【請求項8】 請求項3～7のうちいずれか1つに記載の半導体装置において、
上記第1の誘電体層が上記第2の誘電体層と共用されていることを特徴とする半導体装置。

【請求項9】 請求項8に記載の半導体装置において、
上記第1の誘電体層と上記第2の誘電体層とを構成する部材の材料が互いに同一で、且つ上記第1のキャパシタ及び上記第2のキャパシタと並列に接続された常誘電体キャパシタをさらに有することを特徴とする半導体装置。

【請求項10】 請求項8または9に記載の半導体装置において、
上記第2のキャパシタと上記ゲート電極との間に介設されたキャパシタをさらに備えていることを特徴とする半導体装置。

【請求項11】 請求項1～7のうちいずれか1つに記載の半導体装置において、
上記第1の誘電体層と上記第2の誘電体層の面積が互いに異なっていることを特徴とする半導体装置。

【請求項12】 請求項1～7のうちいずれか1つに記載の半導体装置において、
上記第1の誘電体層と上記第2の誘電体層とは互いに異なる材料から構成されていることを特徴とする半導体装置。

【請求項13】 請求項1～7のうちいずれか1つに記載の半導体装置において、
上記第1の誘電体層の膜厚と上記第2の誘電体層の膜厚とが互いに異なることを特徴とする半導体装置。

【請求項14】 請求項11に記載の半導体装置において、
上記第1のキャパシタと上記第2のキャパシタとは、相互の電極面積の比である（上記第1のキャパシタの面積）／（上記第2のキャパシタの面積）の値が、0.2以上2以下であることを特徴とする半導体装置。

【請求項15】 請求項12に記載の半導体装置において、
上記第1のキャパシタと上記第2のキャパシタの相互の電極面積の比は、0.5以上2以下であることを特徴とする半導体装置。

【請求項16】 請求項1または2に記載の半導体装置において、
上記第1の上部電極及び上記第2の上部電極に接続されたMISトランジスタと、

上記MISトランジスタのゲート電極に接続されたワード線と、

上記MISトランジスタに接続されたビット線とをさらに備えている半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその駆動方法に係り、特に神経回路網コンピュータ（ニューロンコンピュータ）などに利用可能で多値情報を保持可能な半導体装置及びその駆動方法に関する。

【0002】

【従来の技術】マルチメディアの進展に伴い、半導体装置の性能向上に対する要求は高まる一方である。大容量のデジタル情報を処理するため、例えばパーソナルコンピュータのCPUでは、1GHz以上の高速の動作をするものまで市販され始めている。

【0003】こういった半導体装置の性能向上への要求に対し、半導体メーカーはこれまで主として半導体装置の微細化プロセス技術による性能向上によって応えてきた。

【0004】しかしながら、半導体装置の微細化に対し、物理的な限界すら指摘されるようになった現在では、これ以上の微細化による半導体装置の性能向上は、製造コストの点からも望めなくなっている。

【0005】上述の要求を解決する手段として、「1」と「0」の2値の信号を用いて演算を行なうこれまでのデジタル情報処理技術に対し、3値、4値へと情報を多値化する技術や、さらにその多値化技術を応用して生物の脳の機能を模倣した演算処理を行なえるコンピュータ（ニューロンコンピュータ）技術などが研究されている。

【0006】生物の脳は、演算機能を持ったニューロンと呼ばれる神経細胞と、その演算結果を他のニューロンに伝える、いわば配線の役割を担う神経繊維とを基本として構成されている。

【0007】ニューロンコンピュータにおいては、ニューロンに相当する半導体素子からなる多数のニューロン部と、ニューロン部に信号を伝達し、重みをかける多数のシナプス部とから構成されている。このニューロン部とシナプス部の組み合わせを以下ニューロン素子と呼ぶ。

【0008】前段の複数のニューロン素子からの異なった「重み」を持つ情報信号が、あるニューロン素子に入力されると、このニューロン素子において情報信号が加算され、この情報信号の和が閾値を超えるとニューロン素子が「発火」し、信号が次段のニューロン素子に出力される。この繰り返しにより、情報が処理されていく。

【0009】また、生物の脳が学習する過程は、シナプス結合における重みが増減していく過程としてとらえられている。すなわち、様々な入力信号の組み合わせに対

し、正しい出力が得られるように重みが徐々に修正され、最終的に最適の値に落ち着くのである。

【0010】このような学習機能を有する神経回路網を構成するためには、各シナプス結合の強さを適宜変更でき、且つその変更した値を記憶しておく必要がある。そのため、多値技術はニューロンコンピュータの実現に必須の技術となっている。

【0011】上述のニューロンコンピュータは多値技術の応用の一例であるが、もちろん多値の情報を安定に記憶する多値メモリの研究も盛んに行われている。これらのことから分かるように、情報の多値化技術は、将来の半導体装置において極めて重要な技術となっている。

【0012】このような多値化技術の例として、強誘電体の分極ヒステリシスを利用して1つのメモリセルに3値以上の情報を記憶させるようにした従来技術が、特開平8-124378「強誘電体メモリ」に記載されている。

【0013】図49は、多値メモリとして機能する従来の半導体装置の断面図である。同図より、従来の半導体装置のメモリセルは、シリコン基板1107と、シリコン基板1107内に埋め込んで設けられたウェル線BUL1及びウェル線BUL2と、ウェル線BUL1及びウェル線BUL2の上にそれぞれ設けられた強誘電体からなるPZT膜1109と、PZT膜1109の上に設けられたワード線WL1と、ワード線WL1とウェル線BUL1との上方に設けられたビット線BL1と、ワード線WL1とウェル線BUL2との上方に設けられたビット線BL2とを備えている。また、ウェル線BUL1とウェル線BUL2内には、図示しないドレイン及びソースがそれぞれ設けられ、ビット線BL1はビットコンタクト（図示せず）を介してウェル線BUL1内のドレインと接続され、ビット線BL2はビットコンタクトを介してウェル線BUL2内のドレインと接続されている。

【0014】情報の書き込みは、ワード線WL1とウェル線BUL1及びウェル線BUL2に電圧を印加してPZT膜1109の分極を変化させることにより行なわれる。

【0015】図50は、上述の従来例の各メモリセルにおいて、ゲート電極に印加される電圧VGB（＝ゲート電極の電位－ウェルの電位）と強誘電体の分極の大きさとの関係（ヒステリシス特性）を示すグラフである。強誘電体はヒステリシス特性を有することから、印加電圧の履歴により分極状態が変化し、電圧を除荷しても、図50の点A、点B、点Cで示すような分極状態が残留する。強誘電体が飽和分極する $V=V_1$ の電圧印加後に電圧を除荷すると、分極は点Aの状態に、 $V=V_2$ の電圧印加後に電圧を除荷するか $V=V_1$ の電圧印加後に $V=-V_2$ の電圧を印加してから電圧を除荷すると、分極は点Cの状態に、 $V=-V_1$ の電圧印加後に電圧を除荷すると、分極は点Bの状態になる。

【0016】図51は、図50に対応して強誘電体が点A、点C及び点Bの状態のときの、メモリセルのドレイン電流 I とゲート電圧 V_{GB} との関係を示すグラフである。同図において、左側の曲線が点A、中央の曲線が点C、右側の曲線が点Bの状態に各々対応する。点Aの状態においては、強誘電体が正に大きく分極しているために、メモリセルの閾値電圧 V_{tA} は、分極していない点Cの態での閾値電圧 V_{tC} よりも小さくなっている。また、点Bの状態においては、強誘電体が負に大きく分極しているために、メモリセルの閾値電圧 V_{tB} は、分極していない点Cの状態での閾値電圧 V_{tC} よりも大きくなっている。このように、強誘電体を点A、点C及び点Bに示す3つの分極状態に変化させることによって、メモリセルの閾値電圧を異なる3種類に制御することができるので、この閾値電圧の値に応じてメモリセルに3値の情報を記憶させることができる。上記従来技術ではさらに点Aと点Cの間の分極状態を利用することでさらに多値化が可能であるとしている。

【0017】

【発明が解決しようとする課題】しかしながら、上述の従来例は、分極状態“C”を正確に得ることが難しいという根本的な課題を有している。従来技術では、適当な電圧を印加して誘電体を弱く分極させた後に電圧を除荷すると分極はゼロ近くになるとしているが、図50からも明らかなように、強誘電体のヒステリシスは抗電圧 V_c 付近で大きく変化する特性を有するのに対し、 $-V_2$ の絶対値は V_c に近い値にならざるを得ないためその制御が極めて困難であり、 V_2 の値がノイズなどで若干揺らいだけで除荷後の分極値は大きく変化してしまう。また、このような書き込み電圧のバラツキ以外にも強誘電体の結晶状態や膜厚などの変化によっても抗電圧 V_c が変化してしまうため、結果として信頼性が高く再現性の良好な多値記憶特性を安定して得ることは極めて困難であった。なお、本明細書中で抗電圧とは、強誘電体のヒステリシスを大きく変化させ、強誘電体キャパシタの電荷分布を変更するのに必要な電圧のことを指すものとする。

【0018】本発明の目的は、信頼性が高く情報を安定に記憶することが可能で、ニューロンコンピュータのニューロン素子としても利用可能な半導体装置及びその駆動方法を提供することにある。

【0019】

【課題を解決するための手段】本発明の第1の半導体装置は、半導体基板と、上記半導体基板上に形成された第1の上部電極、第1の誘電体層、及び第1の下部電極からなる第1のキャパシタと、上記半導体基板上に形成された第2の上部電極、第2の誘電体層、及び第2の下部電極からなる第2のキャパシタとを配置して構成される記憶部を備え、3値以上の情報を保持可能な半導体装置であって、上記第1の誘電体層と上記第2の誘電体層の

ヒステリシス特性における抗電圧値が互いに異なっている。

【0020】これにより、キャパシタ全体のヒステリシス曲線において、準安定点が形成され、書き込み電圧の揺らいだ場合にも3値以上の情報を安定に記憶することができる。

【0021】動作時には、上記第1のキャパシタの分極方向と上記第2のキャパシタの分極方向とが互いに同じとなることにより、第1のキャパシタと第2のキャパシタの抗電圧の違いによるヒステリシス曲線上に1つ以上の準安定点を生じさせることができるようになる。この結果、3値以上の情報を安定に記憶することができるようになる。

【0022】また、上記半導体基板上に形成されたゲート絶縁膜と、上記ゲート絶縁膜の上に形成された導体膜からなるゲート電極とを有するトランジスタをさらに備え、上記第1の下部電極と上記第2の下部電極とが共に上記ゲート電極と一体化されていることにより、安定に多値情報の記憶動作を行なうことができる半導体装置の製造工程数を少なくすることができるので、半導体装置の製造コストを抑えることができる。

【0023】また、上記半導体基板上に形成されたゲート絶縁膜と上記ゲート絶縁膜の上に形成された導体膜からなるゲート電極とをさらに備え、上記第1の下部電極と上記第2の下部電極とがそれぞれ上記ゲート電極と互いに接続されていることにより、キャパシタに印加された電圧がゲート電極に伝達され、記憶部の状態によってゲート電圧印加時に流れるドレイン電流が変化するので、多値情報を安定して記憶することができる。

【0024】上記第1のキャパシタ及び上記第2のキャパシタのそれぞれの分極が0から飽和するまでの前半過程で、電圧の変化に対する分極の変化率が相異なることにより、キャパシタ全体のヒステリシス曲線上に準安定点を確実に形成することができる。すなわち、書き込み電圧がノイズなどにより揺らいだ場合にも安定に記憶動作を行なわせることができる。

【0025】また、上記第1の誘電体層及び上記第2の誘電体層は、共に強誘電体層を有していることにより、電圧をキャパシタに印加した後の残留分極によって多値に対応した分極状態を持たせることができるため、多値の記憶動作をさせることが可能になる。

【0026】上記第1の上部電極と上記第2の上部電極とは互いに接続されていることにより、書き込み電圧を同一の配線で印加することができる。

【0027】上記第1の誘電体層が上記第2の誘電体層と共用されていることにより、第1の誘電体層と第2の誘電体層を別個に形成する場合に比べて記憶部の面積を小さくでき、且つ製造工程も少なくすることができる。

【0028】上記第1の誘電体層と上記第2の誘電体層とを構成する部材の材料が互いに同一で、且つ上記第1

のキャパシタ及び上記第2のキャパシタと並列に接続された常誘電体キャパシタをさらに有していてもよい。

【0029】上記第2のキャパシタと上記ゲート電極との間に介設されたキャパシタをさらに備えていることにより、第2のキャパシタの見かけの抗電圧を変化させることができ、設計の自由度をさらに上げることができる。

【0030】上記第1の誘電体層と上記第2の誘電体層の面積が互いに異なっていることによってもキャパシタの抗電圧を変化させることができる。

【0031】上記第1の誘電体層と上記第2の誘電体層とは互いに異なる材料から構成されていることにより、第1のキャパシタと第2のキャパシタの抗電圧が互いに異なるように形成することが容易となる。

【0032】上記第1の誘電体層の膜厚と上記第2の誘電体層の膜厚とが互いに異なることにより、第1のキャパシタと第2のキャパシタの抗電圧が互いに異なるように形成することができる。

【0033】上記第1のキャパシタと上記第2のキャパシタとは、相互の電極面積の比である（上記第1のキャパシタの面積）／（上記第2のキャパシタの面積）の値が、0.2以上2以下であることにより、第1の誘電体層と第2の誘電体層とを構成する材料が同一の場合、記憶情報の分離性が高く、安定に3値の情報を保持することができる。

【0034】特に、上記第1のキャパシタと上記第2のキャパシタとは、相互の電極面積の比が、0.5以上2以下であることにより、記憶情報の分離性が高く、4値以上の情報であっても安定に保持する半導体装置を実現することができる。

【0035】

【発明の実施の形態】（第1の実施形態）以下、本発明の第1の実施形態について図面を参照しながら説明する。

【0036】図1は、本発明の実施形態に係る多値メモリの上面図である。また、図2は図1のII-II線における断面図、図3は図1のIII-III線における断面図である。図1、図2、図3については、同一部材には同一の符号を附記している。なお、図1では最上面の構成物のみ実線で示している。さらに、図2、図3と共通する部分についても、図を見やすくするため、符号を一部省略して示している。

【0037】図2に示すように、本実施形態の多値メモリは、p型のSi基板1と、Si基板1上にLOCOS法により形成されたシリコン酸化物からなる素子分離膜5と、素子分離膜5により区画されたSi基板1の活性領域上に形成されたシリコン酸化物からなる厚さ3nmのゲート絶縁膜7と、ゲート絶縁膜7上に形成されたn型不純物を含むポリシリコンからなるゲート電極9と、Si基板1内のゲート電極9の側方に素子分離膜5と接し

て形成され、n型不純物を含むドレイン領域3a及びソース領域3bと、ドレイン領域3aとパッド部15aとを接続するプラグ配線13cと、ソース領域3bとパッド部15bとを接続するプラグ配線13dと、プラグ配線13cとプラグ配線13dとを埋める第1の層間絶縁膜11と、第1の層間絶縁膜11の上に形成された厚さ100nmのチタン酸ビスマズ（BIT）からなる第1の強誘電体層16と、第1の強誘電体層16の上に形成された厚さ400nmのBITからなる第2の強誘電体層18と、第2の強誘電体層18の上に形成された酸化シリコンからなる第2の層間絶縁膜21と、第2の層間絶縁膜21の上に形成された配線25cと、第1の強誘電体層16、第2の強誘電体層18及び第2の層間絶縁膜21を貫通してパッド部15aと配線25cとを接続する配線25aと、第1の強誘電体層16、第2の強誘電体層18及び第2の層間絶縁膜21を貫通してパッド部15bに接続する配線25bとを備えている。なお、本実施形態では、ゲート電極9のゲート長は0.5μm、ゲート幅が5μmである。

【0038】また、図3に示すように、本実施形態の多値メモリは、p型のSi基板1と、Si基板1上にLOCOS法により形成されたシリコン酸化膜からなる素子分離膜5と、素子分離膜5により区画されたSi基板1の活性領域上に形成されたシリコン酸化物からなる厚さ3nmのゲート絶縁膜7と、ゲート絶縁膜7上に形成されたn型不純物を含むポリシリコンからなるゲート電極9と、ゲート電極9及び素子分離膜5の上に形成された酸化シリコンからなる第1の層間絶縁膜11と、第1の層間絶縁膜11の上に形成されたPt/TiNからなりサイズが0.5μm×0.5μmの第1の中間電極14aと、同じく第1の層間絶縁膜11の上に形成されたPt/TiNからなりサイズが0.5μm×0.5μmの第2の中間電極14bと、第1の層間絶縁膜11を貫通してゲート電極9と第1の中間電極14aとを接続するプラグ配線13aと、第1の層間絶縁膜11を貫通してゲート電極9と第2の中間電極14bとを接続するプラグ配線13bと、第1の層間絶縁膜11、第1の中間電極14a及び第2の中間電極14bの上に形成されたBITからなる厚さ100nmの第1の強誘電体層16と、第1の強誘電体層16の上に第1の中間電極14aと互いに平行に延びて相対向するPt/TiNからなるサイズが0.5μm×0.5μmの第1の上部電極17と、第1の強誘電体層16の上に形成されたBITからなる厚さ400nmの第2の強誘電体層18と、第2の強誘電体層18の上に第2の中間電極14bと平行に延びて相対向するPt/TiNからなるサイズが0.5μm×0.5μmの第2の上部電極19と、第2の強誘電体層18の上に形成された酸化シリコンからなる第2の層間絶縁膜21と、第2の強誘電体層18と第2の層間絶縁膜21とを貫通して第1の上部電極17に接続さ

れ、第2の層間絶縁膜21の上面上を経由してから第2の層間絶縁膜21を貫通して第2の上部電極19に接続される配線25cとを備えている。

【0039】なお、第1の強誘電体層16とこれを挟み込む第1の中間電極14aと第1の上部電極17とからなる強誘電体キャパシタをキャパシタMFM1とし、第1の強誘電体層16と第2の強誘電体層18の2層を挟み込む第2の中間電極14bと第2の上部電極19とからなる強誘電体キャパシタをキャパシタMFM2とする。また、キャパシタMFM1とキャパシタMFM2とを合わせてキャパシタMFM_sとする。

【0040】図5は、本実施形態の多値メモリを示す等価回路図である。

【0041】同図に示すように、本実施形態の多値メモリはMOSトランジスタのゲート電極上に2つの強誘電体キャパシタを互いに並列に接続させた構造を有する。なお、図5において、キャパシタMFM1の強誘電体層の膜厚は100nm、電極の大きさは0.5μm×0.5μmである。また、キャパシタMFM2の強誘電体層の膜厚は500nm、電極の大きさは0.5μm×0.5μmである。

【0042】次に、図4(a)～(e)は本実施形態の多値メモリの製造工程を示す断面図である。同図は、図1のIII-III線における断面を示している。以下、同図を用いて本実施形態の多値メモリの製造方法を説明する。

【0043】まず、図4(a)に示す工程で、p型のSi基板1に、LOCOS法により、図示しない窒化シリコンをマスクとして酸化処理を施し、素子分離膜5を形成する。その後、図示しない窒化シリコンを昇温した磷酸などで溶解する。次いで、例えば900℃でSi基板1を熱酸化し、厚さ3nmの酸化シリコン膜をSi基板1上に形成し、これをゲート絶縁膜7とする。その後、LPCVD法によりリンをドーブした多結晶シリコンを堆積してゲート電極9を形成する。続いて、ゲート電極9とゲート絶縁膜7とをドライエッチングによりパターニングし、その後、ゲート電極9をマスクとしてゲート電極9の両側方にボロンイオンをイオン注入し、その後、900℃、30分の熱処理を行なうことによって、図2に示すドレイン領域3a、ソース領域3bをそれぞれ形成する。なお、本工程で作製されるMOSトランジスタは、ゲート長が0.5μm、ゲート幅が5μmである。

【0044】次に、図4(b)に示す工程で、LPCVD法により基板上にシリコン酸化物(SiO₂)を堆積して第1の層間絶縁膜11を形成する。次に、第1の層間絶縁膜11上に形成したレジストマスクを用いてドライエッチングすることでコンタクト窓を形成した後、LPCVD法でポリシリコンをコンタクト窓内に堆積する。次いで、CMP法によりポリシリコンを平坦化する

ことによりプラグ配線13a、13b、13c及び13dを形成する。次に、スパッタ法により厚さ20nmの窒化チタンを第1の層間絶縁膜11の上に堆積した後、スパッタ法により厚さ50nmのPt層を堆積する。続いて、スパッタ法によりPt層の上に堆積した酸化シリコンをパターニングしてハードマスクを形成し(図示せず)、これをマスクとしてPt/TiN層をArミリングによりパターニングして第1の中間電極14a、第2の中間電極14bと図2に示すパッド部15a、15bを形成する。その後、希釈したフッ酸などで酸化シリコンからなるハードマスクを除去する。

【0045】次に、図4(c)に示す工程で、スパッタ法により基板温度550℃、酸素分圧20%、RFパワー100Wの条件で基板上に厚さ100nmのBITを堆積し、第1の強誘電体層16を形成する。その後、スパッタ法によりPt層を堆積して、図示しない酸化シリコンからなるハードマスクを用いArミリングによりPt層をパターニングし、第1の上部電極17を形成する。その後、希釈したフッ酸などで図示しない酸化シリコンからなるハードマスクを除去する。なお、本実施形態では、第1の中間電極14a及び第1の上部電極17の寸法は0.5μm×0.5μmとする。

【0046】次に、図4(d)に示す工程で、スパッタ法により基板温度550℃、酸素分圧20%、RFパワー100Wの条件で基板上に厚さ400nmのBITを堆積し、第2の強誘電体層18を形成する。次に、スパッタ法により第2の強誘電体層18の上にPt層を堆積した後、酸化シリコンからなるハードマスク(図示せず)を用いたArミリングによりPt層をパターニングし、第2の上部電極19を形成する。その後、希釈したフッ酸などでハードマスク(図示せず)を除去する。なお、本実施の形態では、第2の中間電極14b及び第2の上部電極19の寸法は0.5μm×0.5μmとしている。

【0047】次に、図4(e)に示す工程で、TEOSを用いたプラズマCVDにより酸化シリコン膜を基板上に堆積した後、CMP法により平坦化することで第2の層間絶縁膜21を形成する。次いで、第2の層間絶縁膜上に形成したレジストマスクを用いて第2の層間絶縁膜21をドライエッチングし、第2の上部電極19に到達するコンタクト窓を形成する。一方、第2の層間絶縁膜上に形成したレジストマスクを用いて第2の層間絶縁膜21及び第2の強誘電体層18をドライエッチングし、第1の上部電極17に到達するコンタクト窓を形成する。なお、上部電極19と第2の強誘電体層18とのエッチング選択比が十分大きい場合には、第2の上部電極19に到達するコンタクト窓と第1の上部電極17に到達するコンタクト窓とを同時に形成することもできる。次に、スパッタ法によりAlSiCu合金をコンタクト窓内に堆積した後、このAlSiCu合金をドライエッチ

ングすることで配線25a, 25b, 25cをそれぞれ形成する。

【0048】以上の方法により、本実施形態の多値メモリが製造される。

【0049】図6は、キャパシタMFM1の電圧-分極ヒステリシス特性(P-V特性)を示す図である。なお、これはキャパシタMFM1のみを電源に接続した場合のヒステリシス特性を示している。

【0050】同図を参照すると、キャパシタMFM1では膜厚が100nm程度と薄いため抗電圧は小さいが、約5V以上の電圧を印加した後の電圧0Vでの分極値(残留分極)はBITという材料の特性を反映して $4\mu\text{C}/\text{cm}^2$ 程度が得られることが分かる。

【0051】一方、図7はキャパシタMFM2のP-V特性を示す図である。同図に示すように、キャパシタMFM2を構成する強誘電体材料はキャパシタMFM1と同じBITであるが、膜厚が合計500nmと厚いため、抗電圧値がキャパシタMFM1の5倍程度と高い値を示している。しかし、残留分極の値は材料特有であるため、キャパシタMFM1と同等の $4\mu\text{C}/\text{cm}^2$ 程度である。

【0052】以上のような、ヒステリシス特性の互いに異なる2つの強誘電体キャパシタを並列接続した構造を有する本実施形態の多値メモリの駆動方法とその動作について、図8～10を用いて説明する。

【0053】図10は、本実施形態の多値メモリにおいて、上部ゲート電極と下部電極の間に印加した電圧と、2つの強誘電体キャパシタの実効的分極とを示した図である。同図に示すように、本実施形態の多値メモリに用いられるキャパシタは互いに並列に接続されているため、キャパシタ全体の分極は、ちょうどキャパシタMFM1の分極とキャパシタMFM2の分極の面積比に応じた平均値を示す。

【0054】図8は、キャパシタMFM1とキャパシタMFM2を並列に接続して構成されるキャパシタ全体(キャパシタMFMs)の分極ヒステリシス特性を説明するための図である。同図において、破線で示した2つのキャパシタの分極の平均値がキャパシタMFMsの分極となる。つまり、キャパシタMFMsの分極は、図10に示すヒステリシス特性となる。

【0055】図8に示す領域xでは、キャパシタMFM2の分極は電圧Vの変化に対してほとんど変化しない。一方、キャパシタMFM1の分極は電圧Vの変化に対して前半では急激に増大し、後半では変化が小さくなる。その結果、両者の合成値は領域xの前半では急激に変化し、領域xの後半では変化が緩やかになる。また、領域yでは、キャパシタMFM2の分極は電圧Vの変化に対して大きく変化するが、キャパシタMFM1の分極は電圧Vの変化に対してほとんど変化しない。その結果、両者の合成値は領域yの前半では急峻に変化するが、キャ

パシタMFM2単独のときよりも緩やかに変化する。

【0056】このように、本実施形態の多値メモリは、抗電圧が互いに異なる2つの強誘電体キャパシタを有するため、図6に示すような一般的なヒステリシス形状とは異なり、図10にC点で示すような準安定点を持つ。このため、書き込み電圧が4V付近では、電圧変化に対する分極の変化が緩やかになっており、書き込み電圧がノイズなどにより揺らいだ場合でも、分極の変化を小さく抑えることができる。

【0057】なお、この効果を得るためには、ヒステリシス曲線において電圧変化に対する分極の変化が急峻になる領域がずれていることが必要であることから、キャパシタの抗電圧が互いに異なっている必要がある。特に、分極が0から飽和するまでの前半過程において、電圧の変化に対する分極の変化率が相異なる2つの誘電体材料を用いることにより、準安定点を確実に得ることができる。同様に、キャパシタを3個以上並列に並べたときも、キャパシタの抗電圧の差が十分に異なっていることが必要となる。

【0058】図9は、キャパシタMFM1及びキャパシタMFM2に加えて面積がこれらのキャパシタと等しいキャパシタMFM3をさらに加えたときのキャパシタのP-V特性を示す図である。同図に破線で示したがキャパシタ全体のP-V特性である。キャパシタが2つのときと同様にキャパシタの抗電圧が互いに異なっているため、ヒステリシス曲線において準安定点Fをさらに形成することができる。また、このときC点はC'点に移動する。これにより、少なくとも4値以上を安定に記録することができる。

【0059】次に、本実施形態における並列強誘電体キャパシタの多値動作の駆動法について説明する。

【0060】まず、図10のA, S, C, D, Pの各点を結んだ線は、各電圧を印加したときのキャパシタの分極を表している。 -8V から印加電圧を上げるとキャパシタの分極はA点の状態からS点、C点へと矢印の方向に変化していく。 8V の電圧を印加すると、キャパシタの分極は飽和し、これ以上の電圧を印加してもD点の状態では分極は増加しない。そして、一度キャパシタに印加する電圧を 8V まで上げた後、電圧を下げると、キャパシタの分極状態はP点を経てA点に向かい、 -8V のときにA点の状態に戻る。

【0061】ここで、キャパシタMFM1及びキャパシタMFM2の状態について説明すると、 -8V の電圧がキャパシタに印加されたA点の状態では、図6、図7からも分かるようにキャパシタMFM1及びキャパシタMFM2の分極が負電荷で飽和している。この状態でキャパシタに印加した電圧を除荷すると印加電圧が 0V となり、S点の状態になる。なお、キャパシタMFM1とキャパシタMFM2の面積は同じであるので、キャパシタMFMsの分極値は、図6、図7に示すキャパシタMF

M1とキャパシタMFM2の平均値となっている(図8参照)。

【0062】次に、S点の状態から印加電圧を約4Vに上げると、キャパシタMFM1の分極は正電荷で飽和され、キャパシタMFM2は正電荷を持つが飽和していない状態となる。2つのキャパシタの分極が平均されて、準安定点であるC点の状態になる。なお、図10には、ノイズマージンを考慮して3.5Vの電圧をキャパシタに印加し、状態Bとなる場合が示されている。続いて、印加した電圧を除荷すると、分極がほぼ $0\mu\text{C}/\text{cm}^2$ の状態Qとなる。

【0063】次に、キャパシタに印加する電圧を8Vまで上げるとキャパシタはD点の状態となり、このときキャパシタMFM1とキャパシタMFM2の分極はともに正電荷で飽和している。この後、電圧を除荷すると、キャパシタは点Pの状態となる。

【0064】次に、キャパシタに印加する電圧を-8Vまで下げるとキャパシタはA点の状態に戻る。

【0065】このように、本実施形態の多値メモリは、例えば-8V、3.5V及び8Vの3通りの書き込み電圧を印加することによりノイズ等に対して安定に記憶動作をすることができる。

【0066】図11は、本実施形態の多値メモリについて、それぞれ+8V、+3.5V及び-8Vで書き込み後に、読出し電圧であるゲート電圧を変化させた場合のドレイン電流を示す図である。

【0067】同図に示すように、例えば読出し電圧が2~3Vの範囲では、各状態でドレインへ流れる電流値はお互いに1桁以上の差異が認められており、安定して記憶情報の読出しが可能であることが分かる。

【0068】次に、特に書き込みが不安定になりやすいヒステリシス曲線の途中の点での書き込みについて、飽和電圧の半分の電圧での書き込み電圧が、10%揺らいだ場合を例に取って説明する。

【0069】図12は、単一の強誘電体キャパシタを備えた従来の多値メモリについて、書き込み電圧が10%揺らいだ際に、分極値にどの程度揺らぎが生じるかを説明するための図である。

【0070】また、図13は、図12のA部で示した部分を拡大して示した図である。

【0071】図12及び図13から、従来技術の方式では、途中の分極状態を得るにはヒステリシス曲線において分極が急峻に変化する部分を使わざるを得ないため、10%程度の揺らぎに対して(図13参照)、本来 $1.7\mu\text{C}/\text{cm}^2$ の分極値を期待すべきところ、分極値は $1.4\sim 2.0\mu\text{C}/\text{cm}^2$ の間で大きく変動することが理解される。

【0072】一方、図14は、本実施形態の多値メモリにおいて、図12、図13と同様に書き込み電圧が揺らいだ際の分極値の揺らぎを説明するための図であり、図1

5は、図14に示すB部を拡大したものである。

【0073】図14及び図15から、本実施形態の多値メモリにおいては、書き込み電圧の揺らぎに対する分極変化の急峻性が、従来技術に対して大幅に改善されることが理解される。例えば、本来 $-0.15\mu\text{C}/\text{cm}^2$ の分極値を期待するところ、 $\pm 10\%$ の電圧揺らぎに対する分極値の変動は $-0.1\sim -0.2\mu\text{C}/\text{cm}^2$ 程度と、揺らぎの幅が従来技術の $0.6\mu\text{C}/\text{cm}^2$ に対して $0.1\mu\text{C}/\text{cm}^2$ 以下と大幅に改善されている。これは、強誘電体キャパシタを並列接続し、且つお互いの抗電圧を変化させることにより、ヒステリシスの途中に準安定点が生じるためである。

【0074】これら、書き込み電圧(書き込み電界強度)の揺らぎについては、ノイズのほか強誘電体層の膜厚変動や、強誘電体層の結晶性の差による誘電率の変動などによっても、生じうるものであり、 $\pm 10\%$ 程度の書き込み電圧の揺らぎが起こることは実用条件で十分考えられる。

【0075】よって、本実施形態の多値メモリの構造は、分極値の揺らぎを抑制することによりプロセス上のマージンを広げることが可能にするので、実際のデバイス製造において有用である。

【0076】図16、図17はともに、キャパシタMFM1の強誘電体膜厚が 100nm でキャパシタMFM2の強誘電体膜厚が 1000nm のときに、それぞれのキャパシタ面積比を変化させたときの、実効分極値を示す図である。なお、図16(a)~(d)、図17(a)~(d)のD、A、B、Eの各点は、それぞれプラス側最大分極、マイナス側最大分極、プラス側中間分極、マイナス側中間分極を書き込む電圧を示しており、その後電圧を除荷したときの分極値は、それぞれ、P、S、Q、Rとなる。

【0077】図16(a)~(d)は、キャパシタMFM2の面積をキャパシタMFM1に対して、徐々に増加させた場合の実効分極を示す図である。同図に示すように、キャパシタMFM2の面積比率が増加するにつれ、ヒステリシス曲線におけるB点を通過する領域及びE点を通過する領域での電圧変化に対する分極の変化が急峻になる。

【0078】一方、図17(a)~(d)は逆にキャパシタMFM1の面積比率を増加させた場合を示している。同図に示すように、このときヒステリシス曲線におけるB点を通過する領域及びE点を通過する領域での電圧変化に対する分極の変化が緩やかになっている。以上のことから、キャパシタMFM1とキャパシタMFM2の面積比率については、キャパシタMFM1の方を大きくする方が、より書き込み電圧の揺らぎに強い多値メモリを実現できることが分かる。しかし、図17(d)からも理解されるように、極端にキャパシタMFM1の面積が大きくなると、図のP点とQ点、及びS点とR点が接

近し、データの判別が困難になる。よって、本実施形態では、キャパシタMFM1とキャパシタMFM2の面積比(MFM1の面積/MFM2の面積)が0.5から2の間とすることで、記憶情報の分離性が高く、且つ安定な多値動作を実現している。

【0079】ただし、Q点、R点の代わりに実効分極値が $0\mu\text{C}/\text{cm}^2$ の点を取る場合、つまり3種類の分極を用いる場合にはキャパシタMFM1とキャパシタMFM2の面積比(MFM1の面積/MFM2の面積)は、ほぼ0.2から2の間でも記憶情報の分離性は良好に保たれる。

【0080】以上、本実施形態によれば、電界効果トランジスタのゲート電極に分極方向が互いに同じで抗電圧の異なる2つ以上の強誘電体キャパシタを接続することで書き込み電圧の多少の揺らぎに対してドレイン電流の揺らぎが少ない多値メモリが実現できる。

【0081】これにより、高集積且つ安定な半導体メモリを提供できるのみならず、複数の抵抗値を提供する不揮発トランジスタとして、脳のニューロンを模倣したニューロン素子への応用なども考えられる。

【0082】次に、図18は、本発明の実施形態の多値メモリの変型例を示す断面図である。この多値メモリは、図3に示す本実施形態の多値メモリと第2の強誘電体層18以外の部分は同一の構造であるので、構造の説明は省略する。

【0083】ここで示す多値メモリは、図3に示す本実施形態の多値メモリの第2の強誘電体層18に代えて常誘電体を用いたものである。

【0084】例えば、本実施形態の変型例においては常誘電体層20としてスパッタ法により形成した膜厚100nmの酸化タンタルを用いている。酸化タンタル層の比誘電率は、本実施形態ではおよそ25である。この場合、常誘電体層の静電容量は強誘電体層の静電容量の1/4程度であるため、MFM2に印加した電圧の1/5が強誘電体層に印加されることとなる。このため、見かけの抗電圧は5倍となるので、キャパシタ全体の分極が飽和するまでの間に準安定点を持たせることができる。

【0085】なお、本実施形態においては、異なる抗電圧の強誘電体キャパシタを得るのに、強誘電体層の膜厚を100nmと500nm、または100nmと1000nmとしたが、これ以外に任意の膜厚にすることで、キャパシタの抗電圧を変化させることができる。

【0086】また、異なる材料の強誘電体をそれぞれの強誘電体キャパシタに適用しても強誘電体層の膜厚を変化させることと同様の効果が得られる。例えば、本実施形態のBITでは抗電界はおよそ20kV/cm程度であったが、PZTでは40kV/cm程度と、抗電界が異なるため、同じ膜厚であればキャパシタの抗電圧は2倍となる。

【0087】また、本実施形態の多値メモリとして、特

に強誘電体キャパシタを2つ備えた場合について説明を行なったが、抗電圧の異なる強誘電体キャパシタを図9に示すように3つ以上接続しても、同様にヒステリシスに準安定点が増加するため、さらに多値の強誘電体ゲートメモリを実現できる。

【0088】また、本実施形態の多値メモリにおいて、キャパシタMFM1の分極とキャパシタMFM2の分極の正負は一致していたが、これらを互いに逆向きに分極させることもできる。

【0089】(第2の実施形態)図19は、本発明の第2の実施形態に係る多値メモリの構造を示す断面図である。同図に示すように、本実施形態の多値メモリは、p型のSi基板1と、Si基板1上に形成されたシリコン酸化物からなる素子分離膜(図示せず)と、Si基板1上に形成されたシリコン酸化物からなるゲート絶縁膜と、ゲート絶縁膜の上に形成されたPt/TiNからなるゲート電極/下部電極26と、ゲート電極/下部電極26の上に形成されたBITからなる厚さ100nmの第1の強誘電体層27と、第1の強誘電体層27の上に形成され、幅がゲート電極の幅の半分以下である第1の上部電極29と、第1の強誘電体層27の上に形成された幅がゲート電極の幅の半分以下である厚さ400nmのBITからなる第2の強誘電体層28と、第2の強誘電体層28の上に形成された第2の上部電極30と、ゲート絶縁膜7の上に形成され、ゲート電極/下部電極26、第1の強誘電体層27、第1の上部電極29、第2の強誘電体層28、第1の上部電極29及び第2の上部電極30の側方を埋める層間絶縁膜31と、層間絶縁膜を貫通して第1の上部電極29及び第2の上部電極30に接続するプラグ配線32とを備えている。ここで、ゲート電極/下部電極26は、ゲート電極がキャパシタの下部電極と一体化している。

【0090】本実施形態において、第1の上部電極29、第1の強誘電体27及び下部電極26からなるキャパシタMFM1と第2の上部電極30、第2の強誘電体層28、第1の強誘電体層26及び下部電極26からなるキャパシタMFM2の抗電圧は互いに異なっている。よって、キャパシタ全体のヒステリシス曲線において準安定点が形成されるので、本実施形態の多値メモリによれば、第1の実施形態の多値メモリと同様に記憶情報の分離性が高く、且つ安定な多値動作を実現することができる。

【0091】本実施形態の多値メモリにおいては、中間電極を形成する必要がないため、第1の実施形態の多値メモリと比べ、製造工程数を少なくすることができ、製造コストを抑えることができる。

【0092】また、本実施形態で用いた第2の強誘電体層28の代わりに常誘電体層を用いても、キャパシタMFM1及びキャパシタMFM2の抗電圧を互いに異なるように形成することができる。

【0093】（第3の実施形態）図20は、本発明の第3の実施形態に係る多値メモリを示す回路図である。同図に示すように、本実施形態の多値メモリは、ゲートがワード線WLに接続されドレインがビット線BLに接続された1つの選択トランジスタ Tr_1 と、選択トランジスタ Tr_1 のソースに並列に接続された強誘電体を有するキャパシタMFM1及び強誘電体を有するキャパシタMFM2とからなる。本実施形態の多値メモリにおいて、キャパシタMFM1とキャパシタMFM2の抗電圧は互いに異なっている。

【0094】本実施形態の多値メモリは、FeRAMと呼ばれる、キャパシタの分極反転時に流れる電流量により、情報を読み出すメモリである。このとき、本実施形態の多値メモリでは、第1及び第2の実施形態で説明したように、異なる抗電圧のキャパシタを並列接続することにより、安定して複数の残留分極値を得ることが可能である。本実施形態の多値メモリの情報読み出し動作は、例えばワード線WLに所定の電圧、例えば8Vを保持しておき、選択トランジスタ Tr_1 をOn（導通）状態にした際にワード線WLの電圧の降下度合いにより Tr_1 を経由して流れた電流量を判断し、情報の読み出しを行っている。ここで、強誘電体キャパシタの残留分極状態により、分極反転の量が異なるため、 Tr_1 を経由して流れる電流量に差異が生じることとなる。例えば、図8のP点、Q点、S点の順で電流量（絶対値）が大きく検出されることとなる。すなわち、多値のFeRAMを実現することができる。

【0095】この構造によっても、第1の実施形態の多値メモリと同様に、記憶情報の分離性が高く、且つ安定な多値動作を実現することができる。

【0096】（第4の実施形態）図21は、本発明の第4の実施形態に係る多値メモリを示す等価回路図である。本実施形態の多値メモリは、第1の実施形態に係る多値メモリのゲート電極9とキャパシタMFM2の間にキャパシタ40を挿入した構成をとっている。すなわち、本実施形態の多値メモリは、MISトランジスタと、MISトランジスタのゲート電極9に対して並列に接続され、共に強誘電体を有するキャパシタMFM1及びキャパシタMFM2と、ゲート電極9とキャパシタMFM2の間に設けられたキャパシタ40とを備えている。なお、図21では、図5と同じ部材には同じ符号を付けている。また、キャパシタMFM1及びキャパシタMFM2の面積や、強誘電体層の厚みは第1の実施形態と同一とする。キャパシタ40は、常誘電体を有するキャパシタであるが、強誘電体キャパシタであってもよい。

【0097】第1の実施形態の多値メモリに電圧が印加された場合、キャパシタMFM1とキャパシタMFM2に加わる電圧は互いに等しかったが、本実施形態の多値メモリでは、キャパシタMFM2とキャパシタ40とに

分配される電圧の和とキャパシタMFM1に分配される電圧とが等しくなっている。

【0098】そのため、多値メモリに同一電圧を印加した時のキャパシタMFM2に分配される電圧は、第1の実施形態でのキャパシタMFM2よりも小さくなっており、見かけの抗電圧が大きくなっている。本実施形態の多値メモリも、キャパシタMFM1とキャパシタMFM2の抗電圧が異なっており、そのヒステリシスループにおいて準安定点を持っている。従って、本実施形態の多値メモリは、安定に多値を保持することが可能である。

【0099】また、強誘電体キャパシタとMISトランジスタのゲート電極との間に少なくとも1つのキャパシタを挿入することで、見かけの抗電圧を任意に調節することができるので、設計の自由度を大きくすることができる。なお、本実施形態においては、キャパシタMFM1とキャパシタMFM2の抗電圧が異なる例を示したが、キャパシタ40を挿入することでキャパシタMFM2の見かけの抗電圧が変化するため2つのキャパシタの抗電圧が互いに同じであっても安定に多値を保持する多値メモリを実現することができる。また、本実施形態の多値メモリは、キャパシタMFM1とキャパシタMFM2の強誘電体層を同時に形成できる点で有利である。

【0100】なお、本実施形態ではキャパシタMFM2とMISトランジスタのゲート電極9の間に1つのキャパシタを挿入した例を示したが、2つ以上のキャパシタを挿入してもよい。

【0101】（第5の実施形態）以下、本発明の第5の実施形態に係る半導体装置について、図面を参照しながら説明する。

【0102】図22は、本実施形態の半導体装置を示す等価回路図である。同図から分かるように、本実施形態の半導体装置は、制御電圧供給部110と、電界効果トランジスタ（以下MOSトランジスタと表記）と、このMOSトランジスタのゲート電極109と制御電圧供給部110との間に互いに並列に介設された誘電体キャパシタ104及び抵抗素子106とを有することを特徴としている。

【0103】次に、図23には、本実施形態の半導体装置の上面図を、図24には図23のXXIV-XXIV線における断面図を、図25には図23のXXV-XXV線における断面図を示す。なお、図23においては、見やすくするためにハッチングを省略して示し、また最上面の構成物のみ実線で示している。さらに、図24、図25と同一である部分についても、図を見やすくするため一部省略して示している。また、図24、図25においても、切断面より奥にある構成物について、図を見やすくするためにその一部を省略して示している。

【0104】図23、図24、図25に示すように、本実施形態の半導体装置は、例えば活性領域を有するP型のSi基板101と、Si基板101の活性領域と対向

する面上に設けられた基板電極108（図22にのみ図示）と、Si基板101上に設けられた活性領域を囲む素子分離用酸化膜105と、Si基板101上に設けられたSiO₂からなる厚さ5nmのゲート絶縁膜107と、ゲート絶縁膜107の上に設けられたリンを含むポリシリコンからなるゲート電極109と、Si基板101のうちゲート電極109の両側方に設けられたN型不純物を含むドレイン領域103a及びソース領域103bと、Si基板101上に設けられたSiO₂などの絶縁体からなる第1の層間絶縁膜111と、第1の層間絶縁膜111の上に設けられた厚さ20nmの窒化チタン（TiN）膜と厚さ50nmのPt膜とからなるパッド部115a、115b及び中間電極114と、第1の層間絶縁膜111を貫通してゲート電極109と中間電極114とを接続するポリシリコンからなるプラグ配線113aと、第1の層間絶縁膜111を貫通してドレイン領域103aとパッド部115a、ソース領域103bとパッド部115bとをそれぞれ接続するポリシリコンからなるプラグ配線113b及び113cと、第1の層間絶縁膜111の上に設けられた厚さ100nmのチタン酸バリウム・ストロンチウム（以下BSTと表記する）からなる誘電体層116と、誘電体層116の上に設けられた厚さ50nmのPtからなる上部電極119と、誘電体層116の上に設けられた第2の層間絶縁膜121と、第2の層間絶縁膜121を貫通して上部電極119に至るAlSiCu合金等の導電体からなる配線125aと、誘電体層116及び第2の層間絶縁膜121を貫通してパッド部115a、115bにそれぞれ至るAlSiCu合金等の導電体からなる配線125b及び125cとを有している。

【0105】また、中間電極114及び上部電極119の寸法は共に2.5μm×4μmであり、ゲート電極109を有するMOSトランジスタと同じサイズである。

【0106】なお、本実施形態の半導体装置においては、誘電体層116と、これを挟む中間電極114及び上部電極119とはキャパシタを構成しているが、誘電体層116は同時に抵抗素子106（図22参照）にもなっている。このことを含めた半導体装置の動作については後で詳述する。

【0107】次に、本実施形態の半導体装置の製造方法について、以下、図26を用いて説明する。

【0108】図26は、本実施形態の半導体装置の製造工程を示す図23のXXV-XXV線における断面図である。なお、図26のXXV-XXV断面において図示されない、あるいは図示しない構造物については、図23～25の説明において用いた符号を使用して説明する。

【0109】図26（a）に示す工程で、P型のSi基板101上に形成した図示しない窒化シリコン膜をマスクとして基板の酸化処理を行ない、素子分離用酸化膜105を形成する（LOCOS法）。次に、窒化シリコン

膜を例えば昇温した磷酸などを用いて除去した後、基板を900℃でパイロ酸化することにより厚さ5nmのSiO₂からなるSiO₂膜をSi基板101上に形成する。その後、LPCVD法などにより、リンなどのn型不純物を導入したポリシリコンをSiO₂膜上に堆積してからドライエッチングによりパターニングしてゲート絶縁膜107及びゲート電極109を形成する。次いで、ゲート電極109をマスクとしてボロン等のp型不純物を注入してから900℃、30分の熱処理を行なうことにより、Si基板101のうちゲート電極109の両側方にドレイン領域103a及びソース領域103bを形成する。なお、本工程により作製されるMOSトランジスタは、ゲート長が1μm、ゲート幅が10μmである。

【0110】次に、図26（b）に示す工程において、例えばLPCVD法により基板上にSiO₂を堆積して第1の層間絶縁膜111を形成する。その後、第1の層間絶縁膜111上にレジストマスクパターン（図示せず）を形成してから第1の層間絶縁膜111をドライエッチングすることによりゲート電極109、ドレイン領域103a及びソース領域103bに至るコンタクト窓をそれぞれ形成する。次いで、LPCVD法などにより基板上にポリシリコンを堆積した後でCMP法により基板表面を平坦化し、各コンタクト窓を埋めるプラグ配線113a、113b、113cをそれぞれ形成する。次に、スパッタ法により第1の層間絶縁膜111の上にTiNを20nm堆積した後、同じくスパッタ法によりPtを50nm堆積する。続いて、スパッタ法で堆積させたSiO₂膜をパターニングして形成した図示しないハードマスクを用いて、Pt/TiNをArミリングによりパターニングしてプラグ配線113aの上に中間電極114を、プラグ配線113bの上にパッド部115aを、プラグ配線113cの上にパッド部115bをそれぞれ形成する。その後、希釈したフッ酸などでハードマスクを除去する。

【0111】なお、ここでTiN層は、Ptと多結晶シリコンがシリサイドを形成して抵抗が増加するのを防ぐために形成している。

【0112】次に、図26（c）に示す工程で、スパッタ法などにより基板温度550℃、酸素分圧20%、RFパワー100Wの条件で第1の層間絶縁膜111の上にBSTを堆積し、厚さ100nmの誘電体層116を形成する。そして、スパッタ法により誘電体層116の上にPtを堆積した後、図示しないSiO₂からなるハードマスクを用いたArミリングにより堆積したPt層をパターニングし、誘電体層116を挟んで中間電極114と対向する位置に上部電極119を形成する。その後、希釈したフッ酸などでハードマスクを除去する。

【0113】なお、本実施形態では、中間電極114及び上部電極119の寸法は2.5μm×4μmとし、M

OSトランジスタのサイズと同じにしている。

【0114】次に、図26(d)に示す工程で、TEOS(テトラエトキシシラン)を用いたプラズマCVDにより SiO_2 を堆積した後、CMP法により平坦化することにより第2の層間絶縁膜121を形成する。その後、レジストマスクを用いて第2の層間絶縁膜121及び誘電体層116をドライエッチングすることによりコンタクト窓を形成する。続いて、スパッタ法により AlSiCu 合金を基板上に堆積した後、レジストマスクを用いてドライエッチングすることで第2の層間絶縁膜121上から上部電極119に至る配線125a、パッド部115aに至る配線125b及びパッド部115bに至る配線125cをそれぞれ形成する。なお、配線125aは図示しない制御電圧供給部110に接続されている。

【0115】以上の方法により図22に記載の半導体装置が製造される。

【0116】本実施形態の半導体装置は、図22に示す等価回路で示される構成を有しているが、実際には図23～6に示すように、中間電極114と上部電極119により誘電体層116を挟みこんだ構造の誘電体キャパシタ104が、さらに図22に示す電気抵抗としても動作している。すなわち、図22の誘電体キャパシタ104と抵抗素子106とが同一物であって、電気抵抗は誘電体キャパシタの抵抗成分となっている。このため、本実施形態の半導体装置では、誘電体キャパシタ104と抵抗素子106とが別個に設けられる場合に比べ、図22に示す等価回路で表される構成をより簡便な構成で実現している。

【0117】次に、本実施形態の半導体装置の駆動方法及び動作について以下に説明する。

【0118】図27は、BSTからなる誘電体層116を有する誘電体キャパシタ104の両電極に電圧を印加した際に、誘電体層116を通過して中間電極114と上部電極119の間に流れる通過電流の特性を示した図である。同図に示すように、BSTという材料は、電界強度が小さい間は、ほぼ抵抗値が一定である特性を有するため、電圧に比例する通過電流値が得られる。ただし、図27では縦軸をログスケールとしているため、特性を表すグラフは、0Vを挟んで正と負の電圧範囲で線対称な曲線として示されている。

【0119】このような特性の誘電体層116を有する本実施形態の半導体装置の駆動方法及び動作について以下説明する。

【0120】図28は、本実施形態の半導体装置の駆動方法及び動作を説明するためのドレイン電流－印加電圧の特性図である。図28に示すグラフの横軸は Si 基板101と配線125aとの間に印加する電圧（以下、単に印加電圧と表記）を、縦軸はドレイン領域103aとソース領域103bとの間を流れるドレイン電流をそれぞれ示している。なお、本実施形態を含む以降の実施

形態の半導体装置においてドレイン電流－印加電圧の特性を測定する際には、全てドレイン領域103aとソース領域103bとの間には1Vを印加して評価を行っている。

【0121】本実施形態の半導体装置においては、 Si 基板101とゲート電極109とによりゲート絶縁膜107を挟みこむ構造のMOSキャパシタと、中間電極114と上部電極119とにより誘電体層116を挟みこむ構造の誘電体キャパシタ104とが直列接続された構造となるため、印加電圧は、それぞれのキャパシタに分配されて印加されることとなる。

【0122】例えば、図28に示す本実施形態の半導体装置の測定では、印加電圧を－3Vから＋3Vの範囲としているが、最大電圧である＋3Vを印加した際に、それぞれMOSと誘電体キャパシタには、2.2Vと0.8Vがそれぞれ分配されている。図27に示すとおり、誘電体キャパシタは、ここで測定した－0.8V以上0.8V以下の電圧範囲では、リーク電流が非常に小さくなっている。

【0123】図28に示すように、初期状態の本実施形態の半導体装置は、例えば1MHz程度の高周波数のパルス電圧で半導体装置を高速動作させると、点Aと点Oとを含む特性曲線（以下A－O曲線と称する）上を移動する特性を示す。

【0124】なお、A－O曲線には、およそ0V以下が図示されていないが、この領域でのドレイン電流はノイズレベルであり、 10^{-8} (A)より十分小さい電流レベルであった。そのため、例えば印加電圧が3Vのときには約 1×10^{-3} (A)のドレイン電流が流れ（図28の点A）、その後、印加電圧を0Vとするとドレイン電流はノイズレベルとなる（図28の点O）。つまり、本実施形態の半導体装置は、1MHz程度の高速で動作させた場合、印加電圧に応じてドレイン電流が増加し、MOSTランジスタと同様の動作を示す。

【0125】次に、図28の点Aの状態、すなわち上部電極119に＋3Vの電圧を印加した状態を保持すると、誘電体層116の通過電流により電荷が徐々に中間電極114に蓄積される。この状態では、中間電極に接続されたMOSTランジスタのゲート電極109にも電荷が蓄積されてMOSTランジスタの閾値が変化し、半導体装置の印加電圧－ドレイン電流の特性も変化する。

【0126】例えば、＋3Vの印加電圧を100秒間保持した後、1MHz程度上部電極119に電圧を印加すると、図28の点Bと点Cとを含む曲線を描くように特性が変化する。すなわち、印加電圧の大きさと保持時間の積により、MOSTランジスタの印加電圧－ドレイン電流特性（以下、VG－ID特性と表記）を変化させることが可能である。

【0127】初期状態と＋3V、100秒間保持した後、の状態とでは、＋2Vの印加電圧に対するドレイン電流

で1桁以上、0Vの印加電圧に対するドレイン電流では5桁以上の差があるので、例えば本実施形態の半導体装置をメモリとして用いた場合に、ドレイン電流を検出することで多値情報を読みとることができる。

【0128】このように、本実施形態の半導体装置では、誘電体キャパシタ104の抵抗値がほぼ一定と見なせる範囲の電圧を上部電極119に長時間印加し続けることにより、これを書込み情報として、初期状態に比べて印加電圧に対するドレイン電流が大きくなるようにMOSトランジスタ部分の特性を変調させられる。これに対し、図示はしないが、-3Vなどの負電圧で保持することにより、初期状態に比べて印加電圧に対するドレイン電流が流れにくくなるようにMOSトランジスタ部分の特性を変調することも可能である。

【0129】以上のように、本実施形態の半導体装置によれば、多値メモリとして機能する従来の半導体装置とは全く異なる駆動方法により記憶動作を行なうことができる。

【0130】また、本実施形態の半導体装置は、それまでの書込み情報の履歴を反映して特性が変化するので、単なる多値メモリとしての応用だけでなく、ニューロン素子への適用も可能である。

【0131】ニューロン素子への応用する場合、多数の本実施形態の半導体装置を互いに接続され、配線125aには荷重信号が、ドレイン領域103aには前段ニューロン素子からの出力信号が加えられる。このとき、配線125aへ印加される電圧が高く、そのパルス幅が長い場合、半導体装置からの電流が流れやすくなる。このようなニューロン素子への応用については後の実施形態で詳述する。

【0132】なお、本実施形態の半導体装置において、+3Vの印加電圧を100秒間保持して図28のB-C曲線で示される状態にした後、例えば配線125aを接地することで、この半導体装置の特性曲線は、B-C曲線からA-O曲線へと徐々に戻っていき、およそ100秒間でA-O曲線に示す特性へと復帰することとなる。これは、書込み情報の記憶とは逆の動作を示すものであり、一度書き込まれた情報を、時間の経過とともに「忘却」する機能も有することを示している。なお、実際の素子の動作はたとえば100MHzなどの高速で行うため、このような忘却の機能は、長期間信号が入力されない場合に有効となる。つまり、忘却機能により、使用頻度の低い部分には、次の学習動作が入力されたときに効果的に変化が生じるので、素子の学習機能を向上させることができる。

【0133】なお、本実施形態の半導体装置は、電圧印加を保持する時間により中間電極114及びゲート電極109に蓄積する電荷量を調節し、それによりドレイン電流の流れやすさを制御するものであるが、情報の書込み速度と同様に、忘却の速度についても、通過電流が電

圧に対して比例的に変化する電圧範囲において、通過電流の大きさを制御することにより調節が可能である。

【0134】図29は、本実施形態の半導体装置における誘電体キャパシタ104中を流れる通過電流と復帰時間の相関を示した。ここで、復帰時間とは、書込み電圧を印加してから半導体装置が初期状態に戻るまでに要する時間（すなわち、情報を忘却するまでの時間）をいう。

【0135】図29から、誘電体層116の抵抗値が一定と見なせる電圧範囲内において、復帰時間は、通過電流が大きいくほど短くなる傾向が見られる。これは、書込み電圧により中間電極114及びゲート電極109に蓄積された電荷が通過電流としてリークしていくことを示している。

【0136】なお、ここでは、記憶情報の保持の観点から、誘電体キャパシタ104の両端に1Vの電圧を印加した際の通過電流が100 (mA/cm²) 以下であるようにし、復帰時間が10μsec以上の保持時間とすることで、計算時間に対し、トランジスタの変調記憶が相対的に十分長く保持されるようにしている。なお、データを保持したい時間に対し、通過電流が十分に小さければよい。

【0137】例えば、本実施形態の半導体装置においては、図27のグラフより1V印加時の通過電流はおおよそ10⁻⁸ (A/cm²) であるため、保持時間は図29より100秒程度である。

【0138】以上、本実施形態の半導体装置は、MOSトランジスタのゲート電極に、誘電体キャパシタと電気抵抗素子とを並列接続した構成をとることにより、通常のMOSトランジスタに、信号の履歴を印加電圧-ドレイン電流特性の変化として記憶させることを可能にするものである。

【0139】なお、本実施形態の半導体装置においては、誘電体キャパシタ104と抵抗素子106を同一物とすることで、構成を簡略化している。これにより、例えば、ドレイン領域103aをビット線に、配線125aをワード線に接続して本実施形態の半導体装置をメモリセルとして利用すれば、面積の小さい多値メモリを作製することができる。また、本実施形態の半導体装置をニューロン素子として使用する場合でも、高集積化が可能となる利点がある。

【0140】ただし、一度記憶した情報は、復帰時間が経過すると失われてしまうため、誘電体キャパシタ104と抵抗素子106とを別個に作製し、抵抗素子を通電流がより流れにくい材料で構成してもよい。これにより、より長時間情報を保持することが可能となる。

【0141】なお、本実施形態の半導体装置において、誘電体材料としてBSTの場合について説明したが、膜を通過して電流が流れる材料であれば、代替可能である。このような材料として、チタン酸ストロンチウム、

酸化チタン、酸化タンタル、酸化アルミニウム、酸化ジルコニウム、酸化セリウム、酸化ガドリニウム、酸化ランタンなどが特に有効である。

【0142】なお、上部電極119に印加される電圧の誘電体キャパシタとMOSトランジスタとの分配比はキャパシタの容量に反比例するので、誘電体材料の変更、電極面積の変更、誘電体層116またはゲート絶縁膜の膜厚の変更などにより各素子に分配される電圧を適宜変えることができる。

【0143】また、MOSトランジスタのゲート絶縁膜の材料は、本実施形態においては SiO_2 を用いたが、例えばシリコン窒化膜など、他の絶縁体や誘電体などを用いてもよい。また、MOSトランジスタに限らず、電界効果トランジスタであれば、本実施形態の半導体装置に用いることができる。これは、以後の実施形態についても同様である。

【0144】また、本実施形態の半導体装置においては、書き込み時間を印加電圧+3Vの条件で100秒としたが、これは書き込み時間の一例であって、中間電極に蓄積される電荷が飽和しているわけではない。電荷が飽和するまでの時間はもう少し長く、また上述のような装置の設計変更によってもこの時間は変わる。また、書き込み電圧は誘電体層116の抵抗値が一定の範囲内であれば+3Vに限らないが、低電圧であれば書き込みに要する時間がさらに長くなる。

【0145】なお、本実施形態の半導体装置では、誘電体キャパシタ104中の誘電体層116の抵抗成分が抵抗素子106ともなっていたが、誘電体キャパシタ104と抵抗素子106とを互いに分離して設けてもよい。その場合、面積は大きくなるが、誘電体層116と抵抗素子106との構成材料を異なるものとして、抵抗素子106からのリーク電流を減らす、あるいは書き込みに要する時間を短縮するなど、適宜設計条件を調節することができる。

【0146】なお、本実施形態の半導体装置において、中間電極114への電荷蓄積は印加電圧と印加時間の積に比例している。そのため、ニューロン素子に応用する場合、最大電圧の印加時間を変化させることで重み付けを可能としている。さらに、一度入力した信号はその後の入力がなければ復帰時間の経過後に「忘却」するので、演算に使用されるニューロン素子とされないニューロン素子が選別されるなど、従来のニューロン素子に比べてより長期的に効率的な演算が実現できるものである。

【0147】(第6の実施形態) 次に、本発明の第6の実施形態について図面を用いて説明する。

【0148】ここでは、第5の実施形態の同一の半導体装置について、第5の実施形態とは異なる駆動方法を第6の実施形態として説明する。そのため、以下では半導体装置の駆動方法及び動作についてのみ説明する。

【0149】図30は、図23～25に示す第5の実施形態と同一の半導体装置において、BSTからなる誘電体層116を有する誘電体キャパシタ104の両電極間に電圧を印加した際に、誘電体層116を通過して中間電極114と上部電極119の間に流れる通過電流の特性を示した図である。

【0150】一般に、BSTなどのペロブスカイト型酸化物は、電界強度が小さい範囲ではほぼ抵抗値が一定であるが、さらに電圧を上昇させると、図30の特性曲線に示すように、1.3V付近を越えるあたりから通過電流が指数関数的に増加する特性を有している。また、印加電圧が負の範囲でも0Vを挟んでほぼ対称の印加電圧-通過電流特性を示す。

【0151】この通過電流の急激な増加は、ショットキー電流として説明できる。すなわち、中間電極114や上部電極119と誘電体層116の界面において、障壁高さが存在し、ある電界強度までは、ほとんど電流が流れない。しかしながら、ある電界強度を越えると、この障壁を越えて電流が流れるようになる。このような電流をショットキー電流と呼んでいる。

【0152】次に、このような誘電体キャパシタの特性を利用した本実施形態の半導体装置の駆動方法について説明する。

【0153】図31は、本実施形態の半導体装置の駆動方法と動作を説明するためのドレイン電流-印加電圧特性図である。ここで、印加電圧とは配線125a(または上部電極119)と基板電極108との間に印加される電圧をいう。

【0154】本実施形態の半導体装置においては、Si基板101とゲート電極109によりゲート絶縁膜107を挟みこむ構造を有するMOSキャパシタと、中間電極114と上部電極119により誘電体層116を挟みこむ構造を有する誘電体キャパシタとが直列接続された構造となるため、印加電圧は、それぞれのキャパシタに分配されて印加されることとなる。例えば、印加電圧が+2Vのときには、MOSキャパシタと誘電体キャパシタには、それぞれ1.5Vと0.5Vが印加され、印加電圧が+8Vのときには、MOSキャパシタと誘電体キャパシタ104には、それぞれ6.0Vと2.0Vが、分配されて印加される。なお、図30から、本実施形態の誘電体キャパシタ104は、0.5Vの電圧下では、ほぼ一定抵抗値を持つ抵抗素子として動作し、2.0Vの電圧下では電圧の上昇に対して指数関数的に電流が増加する、比較的抵抗の小さい抵抗素子として動作することが分かる。

【0155】なお、本実施形態の半導体装置の駆動方法では、例えば50kHz程度で電圧を印加して半導体装置を動作させる。

【0156】まず、初期状態において、印加電圧を±2Vの範囲内とすると、本実施形態の半導体装置は、図3

1の点Dと点O'とを含む特性曲線(以下D-O'曲線と称する)上を移動する特性を示す。なお、D-O'曲線には、およそ0V以下が示されていないが、この領域でのドレイン電流はノイズレベルであり、 10^{-8} (A)より十分小さい電流レベルであった。

【0157】ここで、例えば2Vを印加すると約 6×10^{-4} のドレイン電流が流れ(点D)、その後で0Vを印加すると、ほぼノイズレベルの電流しか流れない点O'の状態に戻る。2Vの以下の電圧を印加してから0Vを印加した場合でもドレイン電流はほぼノイズレベルとなる。すなわち、本実施形態の半導体装置は、-2Vから+2Vまでの印加電圧に対しては、MOSトランジスタと同様の動作を示す。

【0158】次に、例えば+8Vの高電圧を印加すると、誘電体層116中を流れる通過電流が指数関数的に増加することで、非常に短時間に中間電極114及びゲート電極109に電荷が蓄積される。本実施形態では、印加するパルス電圧の周波数を50kHzとして動作を行っているが、例えば+8V、 $20 \mu\text{sec}$ のパルス電圧を印加することで、図31の点E、点Fを含む曲線上へと特性を変化させることが可能である。つまり、印加電圧を大きくすることにより、短時間でMOSトランジスタのVG-ID特性を変化させることが可能である。電荷の蓄積に要した時間は第5の実施形態の駆動方法では100秒であったのが、本実施形態の駆動方法では $20 \mu\text{sec}$ へと大幅に短縮されている。

【0159】ここで、本実施形態の半導体装置の動作をさらに詳細に説明する。+8Vの電圧パルスを印加すると、誘電体層116を流れる通過電流が指数関数的に増加するため、中間電極114及びゲート電極109に急速に電荷が蓄積される。

【0160】その後、印加電圧を0Vに戻すと、図31の点Fの位置へと特性が変化し、ドレイン電流が変化する。次に、点Fの状態から、さらに+2Vの電圧を上部電極119に印加すると、点Eの状態になり約 3×10^{-3} (A)のドレイン電流が流れるが、印加電圧を再度0Vに戻すと、点Fの状態に復帰する。すなわち、大きい電圧パルスを入力した後、0~2V程度の低電圧パルスを加えても半導体装置のドレイン電流-印加電圧特性は変化しない。一方、点Fの状態で-2Vの負電圧パルスを上部電極119に印加すると、半導体装置の状態は点Gへと移動し、ドレイン電流はおおよそ1桁低下する。その後、再び印加電圧を0Vにすると、上述の点Fに近い点Hの状態となり、点Fの状態よりもややドレイン電流が小さくなるものの、大きなドレイン電流の変化は見られない。

【0161】同様の原理により、例えば印加電圧に-8Vを印加すると、±2Vのスキャンでドレイン電流が極めて小さい変化となる特性へと変化することはいうまでもない。

【0162】以上のように、本実施形態の半導体装置の駆動方法では、誘電体キャパシタ104を流れる通過電流が印加電圧の上昇に対して指数関数的に増加する電圧範囲で情報の書き込みを行ない、情報の読み出しなどの際には通過電流が印加電圧にほぼ比例する電圧範囲内でMOSトランジスタを駆動する。この方法により、第5の実施形態で示した半導体装置の駆動方法に比べて情報の書き込み時間を大幅に短縮することができる。

【0163】本実施形態の半導体装置の駆動方法によっても、それまでの書き込み情報の履歴を素子特性の変化という形で記憶できるので、本実施形態の半導体装置を単なる多値メモリとして応用するだけでなく、ニューロン素子として適用することが可能となる。ニューロン素子として利用する場合、情報の書き込み時間を第5の実施形態の方法よりも大幅に短縮できるので、演算速度を大きく向上させることができる。

【0164】なお、本実施形態の半導体装置の駆動方法は、第5の実施形態と異なり、印加電圧パルスの長さではなく印加電圧の絶対値の大きさとMOSトランジスタのVG-ID特性を変化させることが可能な点が特徴である。すなわち、入力する印加電圧パルスを一定周期とし、パルスの電圧値の設定のみで、VG-ID特性を変調することが可能である。

【0165】本実施形態の半導体装置の駆動方法においては、書き込み電圧を8Vとしたが、さらに高電圧で書き込みを行っても構わない。また、配線125aまたは上部電極119に印加する電圧が例えば8V以下であっても、誘電体キャパシタの面積を小さくする、誘電体層の厚さを厚くする方法により容量を低減し、誘電体キャパシタに分配される電圧を大きくすることで、書き込み時間を短縮することができる。

【0166】なお、本実施形態の半導体装置の駆動方法においても、例えば配線125aを接地することで半導体装置の状態は時間の経過とともに図31のD-O'曲線で示される初期状態に戻る。すなわち、本実施形態の半導体装置は第5の実施形態でも述べたとおり、「忘却」する機能も有する。

【0167】なお、本実施形態の半導体装置の駆動方法においては、記憶情報の保持の観点から、誘電体キャパシタ104の両端に1Vの電圧を印加した際の通過電流が $100(\text{mA}/\text{cm}^2)$ 以下であるようにし、復帰時間が $10 \mu\text{sec}$ 以上の保持時間とすることで、絶対値の大きい電圧パルスとの差異が明確になるようにしている。これは第5の実施形態の駆動方法と同様の条件であるため、本実施形態においては、では、復帰に要した時間はおおよそ100秒となる。

【0168】(第7の実施形態)本発明の第7の実施形態に係る半導体装置は、第6の実施形態に係る半導体装置と比べ、構造の一部と、その駆動方法及び動作のみが異なる。

【0169】図32は、本実施形態の半導体装置を示す等価回路図である。同図に示されるように、本実施形態の半導体装置は、電界効果トランジスタ（以下MOSトランジスタと表記）のゲート電極109に、強誘電体キャパシタ104aと抵抗素子106とを並列接続した構成を有することを特徴としている。

【0170】本実施形態の半導体装置は、第5及び第6の実施形態の半導体装置とほぼ同様の構造となっているが、本実施形態の半導体装置では誘電体層116に代えて強誘電体材料からなる強誘電体層131が用いられている点が上記の実施形態のものと異なる。

【0171】すなわち、本実施形態の半導体装置は、制御電圧供給部110と、ゲート電極109とドレイン領域103aとソース領域103bと基板電極108とを有するMOSトランジスタと、MOSトランジスタのゲート電極109と制御電圧供給部110との間に互いに並列に介設された強誘電体キャパシタ104a及び抵抗素子106とを有している。また、強誘電体キャパシタ104aは、上部電極119と、中間電極114と、上部電極119及び中間電極114に挟まれた厚さ300nmのチタン酸ビスマス（BIT）からなる強誘電体層131とからなっている。さらに、本実施形態の半導体装置においては、強誘電体層131が抵抗素子106としても機能している。また、ソース領域103bと基板電極108とは互いに接続されている。

【0172】次に、図33(a)～(d)は、本実施形態の半導体装置の製造工程を示す断面図である。同図において、図26と同一のものには同一符号を附記する。

【0173】まず、図33(a)に示す工程で、第5の実施形態と同様の手順で、LOCOS法により素子分離用酸化膜105をSi基板101上に形成する。次いで、基板のパイロ酸化により基板上に厚さ5nmのSiO₂膜を形成した後、n型不純物を含むポリシリコンをSiO₂膜上に堆積し、このSiO₂膜及びポリシリコン層をパターンニングすることにより、ゲート絶縁膜107及びゲート電極109をSi基板101上にそれぞれ形成する。次に、ボロンなどのp型不純物を注入し、Si基板101のうちゲート電極109の両側方にドレイン領域103a及びソース領域103bを形成する。なお、本工程により作製されるMOSトランジスタは、ゲート長が1μm、ゲート幅が10μmである。

【0174】次に、図33(b)に示す工程で、第5の実施形態と同様の手順で、基板上にSiO₂からなる第1の層間絶縁膜111を形成した後、レジストマスクを用いたドライエッチングによりコンタクト窓を形成し、これをポリシリコンにより埋めることにより、ポリシリコンからなるプラグ配線113a、113b、113c、をそれぞれ形成する。次いで、プラグ配線113aを介してゲート電極109に接続する中間電極114、プラグ配線113bを介してドレイン領域103aに接続す

るパッド部115a及びプラグ配線113cを介してソース領域103bに接続するプラグ配線115bをそれぞれ形成する。各部材の材質は第5の実施形態と同じであるが、中間電極の寸法は1μm×2μmとし、その面積はMOSトランジスタの面積の1/5とする。

【0175】次に、図33(c)に示す工程で、スパッタ法により基板温度600℃、酸素分圧20%、RFパワー100Wの条件でBITを堆積し、厚さ300nmの強誘電体層131を基板上に形成する。その後、第5の実施形態と同様の手順で、強誘電体層131の上、中間電極と対向する位置に上部電極119を形成する。なお、上部電極119の寸法は中間電極114と同じ1μm×2μmとし、MOSトランジスタの面積の5分の1とする。

【0176】次に、図33(d)に示す工程で、実施の形態1の半導体装置と同様の手順で、強誘電体層131の上に第2の層間絶縁膜121を形成する。次に、第2の層間絶縁膜121上から上部電極119に至る配線125aと、第2の層間絶縁膜121上からパッド部115a及びパッド部115bに至る配線125b、125cをそれぞれ形成する。

【0177】以上の製造方法により製造される本実施形態の半導体装置は、図32に示す強誘電体キャパシタ104aと抵抗素子106とが同一物であって、抵抗素子106は、強誘電体キャパシタ104aの抵抗成分となっている。

【0178】これにより、図32に示す構造を比較的小さい面積で実現できるとともに、強誘電体キャパシタ104aと抵抗素子106を別々に製造する場合に比べ製造工程数も少なくなっている。

【0179】次に、本実施形態の半導体装置の駆動方法及び動作について以下に説明する。

【0180】図34(a)は、本実施形態の半導体装置において、記憶情報を大幅に変更する粗調時の等価回路を、(b)は、記憶情報を微小変更する微調時の等価回路を示している。また、図35は、強誘電体キャパシタ104aの両端に電圧を印加したときの通過電流の特性を示した図である。ここで、通過電流とは、強誘電体層131を通過して中間電極114と上部電極119の間に流れる電流を指す。

【0181】本実施形態において、強誘電体材料として用いられたBITを始めとする、元素の組成がABO₃で表されて結晶構造がペロブスカイト構造を有する酸化物は、第1、第6の実施形態で用いられたBSTと同様に、印加される電界強度が小さい間は抵抗値が無視できる程に小さく、さらに電圧を上昇すると、通過電流が指数関数的に増加するという特徴を示す。図35より、本実施形態の強誘電体キャパシタ104aにおいても、1.8V付近より大きい電圧を印加した場合、通過電流が指数関数的に増加する。また、負電圧を印加した場合

には印加電圧が0Vの軸を挟んで対称の特性を示す。

【0182】そのため、図35に示すように、強誘電体に分配される電圧が -2.3V 以下及び $+2.3\text{V}$ 以上の粗調時電圧範囲にあるときは、強誘電体は抵抗素子106としても機能し、リーク電流Iが流れる。この時の等価回路は、図34(a)に示すように、MOSトランジスタのゲート電極109に強誘電体キャパシタ104aと抵抗素子106とが並列に接続された形になっている。

【0183】一方、強誘電体に分配される電圧が $-1.4\sim+1.4\text{V}$ 程度の微調時電圧範囲にあるときは、強誘電体にはほとんど電流が流れず、ほぼ絶縁体となっている。この時の等価回路は、図34(b)に示すように、MOSトランジスタのゲート電極109に強誘電体キャパシタ104aのみが接続された形となっている。

【0184】なお、本実施形態の半導体装置においては、Si基板101とゲート電極109によりゲート絶縁膜107を挟みこむ構造のMOSキャパシタと、中間電極114と上部電極119により強誘電体層131を挟みこむ構造の強誘電体キャパシタ104aとが直列接続された構造となるため、印加電圧は、それぞれのキャパシタに分配されて印加されることとなる。例えば、本実施形態の半導体装置においては、印加電圧として $+2\text{V}$ を装置全体に加えたときには、MOSトランジスタと強誘電体キャパシタ104aには、それぞれ 1.2V と 0.8V が、印加電圧を $+6\text{V}$ としたときには、MOSトランジスタと強誘電体キャパシタ104aには、それぞれ 3.6V と 2.4V が、分配される。

【0185】本実施形態の半導体装置では、強誘電体キャパシタ104aに分配される電圧を粗調時電圧範囲に設定することで、リーク電流を大きくし、フローティングゲートの電位を大きく変化させることができる。また、強誘電体キャパシタ104aに分配される電圧を微調時電圧範囲に設定することでリーク電流を小さくし、データを保持したり、強誘電体の分極変化によるフローティングゲート電位の微調整が可能となる。

【0186】図36は、上述の知見を踏まえた実際の電圧印加方法の一例を示す図である。この例では、最初に $1\mu\text{sec}$ の期間に強誘電体に 2.5V の電圧パルスを加えている。これにより、強誘電体を通して高速にフローティングゲートに蓄積される。このとき、強誘電体の分極は、一方向に揃う。

【0187】次に、 $5\mu\text{sec}$ 以降では期間が $1\mu\text{sec}$ で負の微小電圧を強誘電体に印加している。このとき、強誘電体からのリーク電流は無視できるほど小さく、強誘電体の分極が少しずつ反転していく。これにより、フローティングゲートの電荷量を微量変更することができる。

【0188】一般的な強誘電体ゲートトランジスタでは、強誘電体の分極値分しかフローティング電極（ゲ-

ート電極109）の電荷量を変更できないが、本実施形態の駆動方法を用いることにより、非常に広い範囲で電荷量を変更できることとなる。すなわち、MOSトランジスタのオン抵抗値を非常に幅広く、しかも詳細に決定することができることとなる。これは、フローティング電極に蓄積された電荷量に応じて連続的に多値の情報を保持可能なアナログメモリとして機能することを意味している。

【0189】図37は、本実施形態の半導体装置の初期状態における動作を説明するための特性図である。同図の横軸は印加電圧を、縦軸はドレイン電流を示している。なお、ここでの印加電圧とは、配線125a（または上部電極119）とSi基板101との間に印加される電圧を指す。

【0190】図37に示すように、初期状態の本実施形態の半導体装置に $\pm 2\text{V}$ の範囲で電圧を印加していくと、装置中のMOSトランジスタの V_G-I_D 特性が反時計回りのヒステリシスを示し、いわゆる強誘電体ゲートトランジスタとして動作する。

【0191】このため、例えば半導体装置に $+2\text{V}$ の電圧を印加した後に印加電圧を除荷しても、強誘電体層131の分極により中間電極114に電荷が誘起されて電位が生じる。このため印加電圧を0Vにしても約 $2\mu\text{A}$ のドレイン電流が流れる。一方、逆に -2V を印加した後に印加電圧を除荷すると、今度は逆にドレイン電流が極めて小さい状態となる（ 10^{-8}A 以下、図示せず）。なお、ここでも第5の実施形態と同様にソース・ドレイン間の電圧は1Vである。

【0192】次に、本実施形態の半導体装置に $+6\text{V}$ を印加すると、さらに異なるドレイン電流の値を設定することが可能となる。

【0193】図38は、書き込み電圧として $+6\text{V}$ を印加した後の本実施形態の半導体装置に 2V の電圧パルスを繰り返し印加して除荷したときのドレイン電流を示す図である。このときの電圧パルスの間隔は $20\mu\text{sec}$ である。

【0194】同図に示すように、初期状態にある本実施形態の半導体装置に $+6\text{V}$ を書込み電圧として印加すると、強誘電体キャパシタには 2.4V の電圧が分配されるため、通過電流が指数関数的に増加し、電荷が中間電極114及びゲート電極109に蓄積されることにより、ドレイン電流は初期状態より2桁強も増加する。さらにその後、同じ $+2\text{V}$ の電圧パルスを入力しても、ドレイン電流は約 $1\times 10^{-3}\text{A}$ と、ほとんど変化しない特性を示す。

【0195】このことから、本実施形態の半導体装置は、高電圧の書き込み電圧を印加することにより、安定してデータを保持できることが分かる。

【0196】次に、図39は、 $+6\text{V}$ を印加した後、 $\pm 2\text{V}$ の範囲で印加電圧をスキャンした場合の本実施形態

の半導体装置における印加電圧－ドレイン電流の特性図である。

【0197】まず、この半導体装置に+6Vの電圧を印加した後に除荷すると、ドレイン電流は図39の点Iに示す値となる。

【0198】次いで、この点Iの状態の半導体装置に2Vの電圧を印加し、さらに電圧を除荷すると、ドレイン電流は図39の点Iから点Jまでに示す軌跡をたどり、除荷後は再び点Iの状態へと復帰する。なお、点Iの状態は、図38に示す電圧パルスを加えた状態に相当する。

【0199】また、点Iの状態の半導体装置に-2Vの電圧を印加すると、点Kに示す状態となり、ドレイン電流は 1×10^{-5} (A) 以下と、2桁程度減少する。続いて、電圧を除荷すると、点Lの状態へと移動して電圧印加前の点Iの状態よりも1桁程度ドレイン電流が減少する。

【0200】第6の実施形態の半導体装置では、図31の点F及び点Hにおけるドレイン電流に大きな差がなく、この点が本実施形態の半導体装置が第5、第6の実施形態の半導体装置と大きく異なる点である。

【0201】これにより、本実施形態の半導体装置では、第5、第6の実施形態の半導体装置よりもさらに多くのデータを保持することができる。

【0202】次に、図39の点Lの状態の半導体装置に+2Vを印加すると、点Mの状態へと移動し、その後、電圧を除荷すると点Nに示す状態となる。このとき、ドレイン電流は点L→点M→点Nで示される軌跡を描いて変化し、点Nの状態では先の点Lの状態におけるよりも大きいドレイン電流が得られる。このように、+6Vの高い印加電圧の後に、±2Vの小さい印加電圧スキャンによってもさらにドレイン電流を変調することが可能である。

【0203】一方、大きい負電圧のパルスを書込み電圧として入力することもできる。

【0204】図40は、-6Vの電圧を本実施形態の半導体装置に印加した後に+2Vの電圧パルスを印加して除荷した場合のドレイン電流を示す図である。なお、電圧パルスのパルス間隔は $20 \mu\text{sec}$ である。

【0205】同図より、初期状態にある本実施形態の半導体装置に-6Vの電圧を印加することにより、0Vの時のドレイン電流は初期状態よりも4桁低くなることが分かる。この場合も+2Vの電圧パルスの印加及び除荷を繰り返したときのドレイン電流変化は小さい。

【0206】次に、図41は、-6Vの電圧パルスの入力後に、±2Vの範囲で印加電圧をスキャンした場合の本実施形態の半導体装置の印加電圧－ドレイン電流特性を示す図である。この状態でもヒステリシスが見られるものの、0V印加状態でのドレイン電流はいずれの極性の電圧を印加しても極めて低い値のまま保持されてい

る。このように、負電圧を印加することによって、正の電圧を印加した場合と区別できる小さいドレイン電流が得られる。

【0207】以上、本実施形態の半導体装置は、強誘電体キャパシタ104aの抵抗成分の抵抗値がほぼ一定の電圧範囲（低電圧範囲）でMOSトランジスタを駆動する場合と、強誘電体キャパシタ104aを通過する電流が指数関数的に増加する範囲で書きこみを行なう場合とを、印加する電圧を切り替えることで、使い分けることができる。

【0208】本実施形態の半導体装置において、印加電圧－ドレイン電流の特性変化は、中間電極114に強誘電体層131を通過した電荷が蓄積されることによりMOSトランジスタのゲート電極109にも電荷が蓄積され、MOSトランジスタの $V_G - I_D$ 特性が変化することにより生じる。特に、本実施形態の半導体装置では、強誘電体キャパシタ104aの分極方向により中間電極及びゲート電極109の電荷蓄積量を変化させることが可能であるため、第5、第6の実施形態の半導体装置に比べても極めて多くの値を取り得る多値メモリとして使用することができる。

【0209】また、大きい電圧パルスによるドレイン電流の大きな変調と、小さい電圧パルスによるドレイン電流の小さい変調がそれぞれドレイン電流の変調として反映することが可能であるので、極めて重み付けの自由度の高いニューロン素子としての応用も可能である。

【0210】なお、本実施形態の半導体装置においても、第5、第6の実施形態の半導体装置と同様に、配線125aを接地することなどにより特性が初期状態へ復帰し、「忘却」する機能を有する。

【0211】なお、本実施形態の半導体装置においては、記憶情報の保持の観点から、誘電体キャパシタの両端に1Vの電圧を印加した際の通過電流が $100 \text{ (mA/cm}^2\text{)}$ 以下であるようにし、復帰時間が $10 \mu\text{sec}$ 以上とすることで、強誘電体の分極によるドレイン電圧の変調との差異が明確になるようにしている。これは、図29に示した第5の実施形態の半導体装置とほぼ同様の傾向であり、復帰に要する時間はおよそ100秒となっている。

【0212】また、第5の実施形態の半導体装置と同様に、本実施形態の半導体装置においても、強誘電体層131と抵抗素子106とを分離して設けてもよい。その場合、例えば情報を保持する時間を延長するために、抵抗素子106を構成する強誘電体材料を強誘電体層131を構成する強誘電体材料よりも電流を通じにくいものにするなど、要求される条件に合わせて適宜設計することができる。

【0213】また、強誘電体層131と抵抗素子106とを分離して設ける場合、抵抗素子106を構成する材料として誘電体を用いてもよい。

【0214】なお、本実施形態の半導体装置の駆動方法では、強誘電体層の抵抗値がほぼ一定である電圧領域と、電圧に対して通過電流が指数関数的に増加する電圧領域とを使い分ける方法について説明したが、第5の実施形態と同様に、強誘電体層の抵抗値が無視できる程小さい電圧領域のみで半導体装置を駆動し、且つ、印加電圧のパルスの幅を復帰時間よりも十分短く設定することで、同様に中間電極114及びゲート電極109への電荷蓄積量を変化させることが可能である。

【0215】なお、本実施形態の半導体装置においては、強誘電体層の材料としてBITを用いたが、これと同様に強誘電性を示す材料である、チタン酸鉛、チタン酸ジルコン酸鉛、タンタル酸ストロンチウムなどの材料であれば強誘電体層の材料として用いることができる。

【0216】（第8の実施形態）本発明の第8の実施形態に係る半導体装置は、第7の実施形態における抵抗素子106を、例えば酸化亜鉛（ZnO）からなるバリスタである抵抗素子150に置き換えたものである。ただし、抵抗素子150は強誘電体とは別に設けられている。

【0217】図42（a）は、本実施形態の半導体装置を示す回路図であり、（b）は、抵抗素子150のバリスタ特性を示す図である。なお、図32と同じ部材は同じ符号で示す。

【0218】図42（b）に示すように、ZnOなど、一部の金属酸化物は、印加される電圧により抵抗値が大きく変化する性質がある。電極面積が $10\mu\text{m}^2$ の本実施形態の抵抗素子150の場合、 -1V 以上 $+1\text{V}$ の以下の電圧範囲では約 $180\text{G}\Omega$ もの抵抗値を示すが、電圧の絶対値が 1.5V を越えると抵抗値が激減する。

【0219】このことから、例えば -2V 以下及び 2V 以上の電圧範囲を粗調時電圧とし、 $-1\text{V}\sim+1\text{V}$ の範囲を微調時電圧として動作させることにより、第7の実施形態の半導体装置と同様の動作が可能になる。

【0220】加えて、本実施形態の半導体装置では、抵抗素子150の素材を任意に選択できるので、動作電圧の範囲を自由に設定することが可能になっている。例えば、強誘電体の分極が飽和する電圧より抵抗素子150の低抵抗電圧を少しだけ高い電圧とすることで、より低い駆動電圧で粗調整及び微調整の動作を実行することができる。

【0221】次に、図43は、本実施形態の半導体装置の構造を示す断面図である。

【0222】同図に示すように、本実施形態の強誘電体131と抵抗素子150とは上部電極及び下部電極を共通として設けられていてもよい。このような構造は公知の技術を用いて容易に実現可能である。例えば、下部電極の全面の上に強誘電体を堆積後、その一部を選択的にエッチングし、強誘電体が除かれた部分の下部電極上にZnOを堆積する。なお、ここでは、強誘電体と抵抗素

子とが接して設けられる例を示したが、互いに離して設けられていてもよい。

【0223】なお、抵抗素子を構成する材料としては、ZnOの他、 $\text{Ba}_{1-x}\text{Sr}_x\text{TiO}_3$ などのペロブスカイト型酸化物、 TiO_2 系酸化物、 Fe_2O_3 系酸化物、 Cu_2O 系酸化物などを用いることができる。また、これらの金属酸化物の抵抗を下げるために、上述の金属酸化物に Bi_2O_3 や希土類元素の添加を行なうこともできる。これにより、金属酸化物材料の抵抗率及び抵抗変化率を適宜調節することができる。また、SiのPN接合や、SiC半導体にAlを添加した系や、Seなども抵抗素子の材料として使用可能である。

【0224】なお、本実施形態の半導体装置では、粗調時と微調時とを使い分けることによって多値の情報を良好に保持できるように制御したが、強誘電体と並列に設ける素子は、抵抗素子に限らず、印加電圧によりフローティングゲートに注入する電荷を変化させることができる素子または回路であればよい。

【0225】（第9の実施形態）本発明の第9の実施形態に係る半導体装置は、第7の実施形態における抵抗素子106を、互いに並列に接続され、且つ互いに逆方向に配置された2つのダイオードに置き換えたものである。

【0226】図44は、本実施形態の半導体装置を示す回路図である。なお、図32と同じ部材には同じ符号を付している。

【0227】同図に示すように、本実施形態の半導体装置は、制御電圧供給部110と、MOSトランジスタと、MOSトランジスタのゲート電極109に接続され、互いに並列に設けられた強誘電体キャパシタ104aと、ダイオード152と、ダイオード154とを備えている。また、ダイオード152とダイオード154とは互いに逆方向に配置されている。すなわち、ダイオード152とダイオード154は、各々の入力部と出力部とが接続されている。

【0228】本実施形態において、ダイオード152及び154は例えばPNダイオード等である。これらのダイオードは、所定値以上の順方向電圧を加えた場合、電流が流れ、所定値を下回る電流を加えた場合にはほとんど電流が流れない。また、耐圧範囲であれば、逆方向の電流を加えても電流はほとんど流れない。

【0229】図44に示すように、互いに逆方向の2つのダイオードを並列に接続することにより、ダイオードのしきい値を $t\text{V}$ とした場合、ダイオードに印加される電圧が $-t\text{V}\sim+t\text{V}$ の間であれば電流がほとんど流れず、電圧の絶対値が $t\text{V}$ を以上になった場合には電流が流れ、フローティングゲートには電荷が流入する。

【0230】このため、第3及び第8の実施形態と同様に、分配される電圧の絶対値が大きい場合を粗調時、分配される電圧の絶対値が小さい場合を微調時として多値

のデータを記憶させることができる。

【0231】なお、本実施形態の半導体装置では、ダイオード152及び154としてPNダイオードを用いる例を示したが、ショットキーダイオードなど他のダイオードを用いてもよい。

【0232】(第10の実施形態) 本発明の第10の実施形態に係る半導体装置は、第7の実施形態における抵抗素子106を、制御電圧 V_r によってオンまたはオフを制御されるMISトランジスタに置き換えたものである。

【0233】図45は、本実施形態の半導体装置を示す回路図である。

【0234】同図に示すように、本実施形態の半導体装置は、制御電圧供給部110と、MOSトランジスタと、MOSトランジスタのゲート電極109に接続された強誘電体キャパシタ104aと、制御電圧供給部110とゲート電極109との間に設けられたMISトランジスタ156とを備えている。また、MISトランジスタ156は、制御信号 V_r によって制御されている。

【0235】本実施形態の半導体装置によれば、外部の制御回路等などによりMISトランジスタのオン、オフを適切に制御することにより、第3～5の実施形態で説明したようなフローティングゲート電位の粗調節及び微調節が可能になる。例えば、MISトランジスタに印加される電圧の絶対値が所定値以上のときにはMISトランジスタをオン状態にし、MISトランジスタに印加される電圧の絶対値が設定値以下であればオフ状態に制御する。

【0236】本実施形態の半導体装置によれば、MISトランジスタの構造によらず、制御電圧 V_r を適宜変化させることで粗調時及び微調時の切替えを行なうことができるので、任意の電圧範囲で動作させることができる。

【0237】なお、本実施形態の半導体装置において、MISトランジスタ156に変えてバイポーラトランジスタを用いることもできる。

【0238】(第11の実施形態) 本発明の第11の実施形態に係る半導体装置は、第7の実施形態における抵抗素子106を、抵抗制御信号 V_w によって結晶性が制御される抵抗変化素子158に置き換えたものである。

【0239】図46は、本実施形態の半導体装置を示す回路図である。

【0240】同図に示すように、本実施形態の半導体装置は、制御電圧供給部110と、MOSトランジスタと、制御電圧供給部110とMOSトランジスタのゲート電極109との間に設けられた強誘電体キャパシタ104aと、制御電圧供給部110とMOSトランジスタのゲート電極109との間に設けられ、強誘電体キャパシタ104aと並列に設けられた抵抗変化素子158とを備えている。また、抵抗変化素子158は、例えばゲ

ルマニウム(Ge)、テルル(Te)、アンチモン(Sb)の3元素を主成分とする合金から構成されており、その結晶性は抵抗制御信号 V_w によって制御されている。

【0241】抵抗変化素子158は、 V_w が設定値以上の高電圧パルスのときにアモルファス状態となり、抵抗値が大きくなる。その後、 V_w パルスを小さくすることにより、抵抗値を徐々に小さくし、任意の値に調節することができる。そのため、フローティングゲートに電荷を蓄積させたい場合には V_w パルスを低電圧とし、その状態で制御電圧供給部110から電圧を供給する。次いで、フローティングゲートの電位を微調節したり、データを保持する場合には、 V_w パルスを高電圧とし、強誘電体キャパシタ104aに図35に示す微調時電圧範囲の電圧を印加する。これにより、強誘電体からのリーク電流も抵抗変化素子からのリーク電流も小さくできる。このように、抵抗変化素子を用いることによっても、多値情報を良好に保持可能な半導体装置が実現できる。

【0242】なお、本実施形態の抵抗変化素子158の材料としては、Ge、Te、Sb以外のカルコゲナイド材料も好ましく用いられる。

【0243】(第12の実施形態) 本発明の第12の実施形態として、第7の実施形態の半導体装置をニューロン素子として用いたニューロンコンピュータについて説明する。

【0244】図48は、生物の脳について、基本単位の構成を簡略化したモデルを示す図である。同図に示すように、生物の脳は、演算機能を持った神経細胞である前段のニューロン141a及び後段のニューロン141b、141cと、ニューロンからの演算結果を伝達する神経繊維142a、142b、142cと、神経繊維により伝達される信号に重みをかけてニューロンに入力するシナプス結合143a、143b、143cとを有している。

【0245】例えば、神経繊維142aを含む多数の神経繊維により伝達された信号は、シナプス結合143aを含む多数のシナプス結合により W_a 、 W_b 、 W_c といった重みをかけられ、ニューロン141aに入力される。ニューロン141aは入力された信号強度の線形和をとり、それらの合計値がある閾値を越えると活性化されて、神経繊維142bに信号を出力する。ニューロンが活性化されて信号を出力することをニューロンが「発火した」という。

【0246】この出力信号は、例えば2つに分岐し、それぞれシナプス結合により重みをかけられた後に、後段のニューロン141b、141cに入力される。後段のニューロン141b、141cでも入力された信号の線形和をとり、それらの合計値がある閾値を越えるとニューロン141b、141cが活性化されて、信号を出力する。この動作が複数段階繰り返されて演算結果が出力

される。

【0247】また、シナプス結合においてかけられる荷重は、学習により徐々に修正され、最終的に最適の演算結果が得られるようになる。

【0248】ニューロンコンピュータは、このような脳の機能を半導体装置で代用するべく設計されている。

【0249】図47は、本実施形態のニューロンコンピュータの基本構成の概略を示す図である。なお、同図において、第7の実施形態の半導体装置と同じ部材は、図32に示す符号と同じ符号で示す。

【0250】まず、本実施形態のニューロンコンピュータに用いられる第7の実施形態に係る半導体装置は、すでに述べたように、制御電圧供給部110と、ゲート電極109とドレイン領域103aとソース領域103bと基板電極108とを有するMOSトランジスタTr11と、MOSトランジスタTr11のゲート電極109と制御電圧供給部110との間に互いに並列に介設された強誘電体キャパシタ104a及び抵抗素子106とを有している。

【0251】次に、図47に示すように、本実施形態のニューロンコンピュータは、第7の実施形態に係る半導体装置と、接地とMOSトランジスタTr11のソース電極との間に介設された電気抵抗133と、MOSトランジスタTr11のソース電極と電気抵抗133との間に設けられたノードN1と、フローティングゲートとフローティングゲートの上に設けられた多数の入力ゲートとソース及びドレイン電極とを有するトランジスタTr12と、トランジスタTr12のソース電極と電圧供給線Vddとの間に介設された電気抵抗132とを有している。また、トランジスタTr12のソース電極は接地に接続されている。さらに、ノードN1は入力ゲートのうちの1つに接続されている。

【0252】なお、第7の実施形態に係る半導体装置、ノードN1及び電気抵抗133は生物の脳でいえば信号の伝達と重み付けを行なうシナプス部（神経繊維とシナプス結合）に相当し、多数のシナプス部が、トランジスタTr12と電気抵抗132とからなるニューロン部（ニューロンMOS）に接続されている。本実施形態のニューロンコンピュータにおいては、脳の構造を模して、互いに接続されたシナプス部とニューロン部の組み合わせを1層として、例えばこれが4層程度重ね合わされた構造をとっている。

【0253】次に、信号の伝達経路であるが、まず、前段ニューロン部からの出力信号Ss1がMOSトランジスタTr11のドレイン電極に入力され、荷重信号Siが制御電圧供給部110に入力される。すると、荷重信号SiによってMOSトランジスタTr11から流れるドレイン電流値が変化する。

【0254】次に、MOSトランジスタTr11から出力された電流信号は、電気抵抗133により電圧の信号

に変換され、トランジスタTr12の入力ゲートに入力される。トランジスタTr12の入力ゲートには他の多数のシナプス部からの信号も入力され、これらの入力信号の電圧の和がトランジスタTr12の閾値以上になるとニューロンが「発火」してニューロン部から信号が出力される。続いて、出力された信号は次段のシナプス部へと伝達される。

【0255】一方、シナプス部からの入力信号の電圧の和がトランジスタTr12の閾値より小さい場合には、信号は出力されない。

【0256】本実施形態のニューロンコンピュータにおいては、単純な構造でシナプス部に多値の情報を保持できる第7の実施形態の半導体装置をシナプス部に用いているので、小さい面積で信号に多様な重みをかけることができる。この結果、シナプス部及びニューロン部を集積して作製される学習機能を持ったニューロンコンピュータのサイズを小さくすることができる。

【0257】また、第7の実施形態の半導体装置は、既に説明したように6V程度で印加電圧—ドレイン電流の特性を変化させた後、±2V程度の低電圧を印加することでMOSトランジスタTr11のドレイン電流を細かく変化させることができる。そのため、本実施形態のニューロンコンピュータでは、加重信号Siが比較的低電圧であってもこれに対応した多様なレベルの重みをかけることが可能になる。

【0258】また、本実施形態のニューロンコンピュータのシナプス部は、荷重信号Siの履歴を記憶するとともに、長期間使用されない場合には履歴を忘却する機能も持っている。

【0259】なお、本実施形態のニューロンコンピュータにおいては、シナプス部に強誘電体キャパシタを備えた第7の実施形態の半導体装置を用いたが、これに代えて誘電体キャパシタを備えた第5の実施形態の半導体装置や、第8～第11の実施形態の半導体装置を用いてもよい。

【0260】

【発明の効果】本発明の半導体装置によれば、互いに抗電圧の異なる強誘電体キャパシタを並列に接続することにより、キャパシタのヒステリシスにおいてキャパシタの分極が飽和する点以外に、分極が準安定になる点を得られる。これにより、記憶情報の分離性を高くすることができ、強誘電体膜厚バラツキや強誘電体の結晶性の違いなどによって書き込み電圧が揺らいだ場合でも安定に3値以上の分極を得ることができる。

【0261】このことを利用して、多値メモリのみならず、信号の重み付けを行なうニューロン素子の構成要素としても応用可能な半導体装置を実現することができ、る。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る多値メモリを示

す上面図である。

【図 2】本発明の第 1 の実施形態に係る多値メモリにおいて、図 1 の II-II 断面を示す断面図である。

【図 3】本発明の第 1 の実施形態に係る多値メモリにおいて、図 1 の III-III 断面を示す断面図である。

【図 4】(a) ~ (e) は本発明の第 1 の実施形態に係る多値メモリの製造工程を示す断面図である。

【図 5】本発明の第 1 の実施形態に係る多値メモリを示す等価回路図である。

【図 6】キャパシタ MFM1 の電圧-分極ヒステリシス特性 (P-V 特性) を示す図である。

【図 7】キャパシタ MFM2 の P-V 特性を示す図である。

【図 8】キャパシタ MFM1 及びおよびキャパシタ MFM2 の P-V 特性とキャパシタ全体の P-V 特性とを示す図である。

【図 9】本発明の多値メモリにおいて、3 個のキャパシタを用いたときのキャパシタ全体の P-V 特性を示す図である。

【図 10】本発明の第 1 の実施形態の多値メモリにおいて、上部ゲート電極と下部電極の間に印加した電圧と、強誘電体キャパシタの実効分極とを示した図である。

【図 11】本発明の第 1 の実施形態に係る多値メモリの各書き込み電圧に対するゲート電圧-ドレイン電流特性を説明するための図である。

【図 12】従来の多値メモリの書き込み電圧の揺らぎと分極値の揺らぎの相関を説明するための図である。

【図 13】従来の多値メモリについて、図 12 の A 部で示した部分の拡大図である。

【図 14】本発明の第 1 の実施形態の多値メモリの、書き込み電圧の揺らぎと分極値の揺らぎの相関を説明するための図である。

【図 15】本発明の第 1 の実施形態の多値メモリについて、図 14 の B 部で示した部分の拡大図である。

【図 16】(a) ~ (d) は、本発明の多値メモリについて、キャパシタ MFM2 の面積をキャパシタ MFM1 に対して変化させた場合の実効分極を示す図である。

【図 17】(a) ~ (d) は、本発明の多値メモリについて、キャパシタ MFM1 の面積をキャパシタ MFM2 に対して変化させた場合の実効分極を示す図である。

【図 18】本発明の第 1 の実施形態に係る多値メモリの変型例を示す断面図である。

【図 19】本発明の第 2 の実施形態に係る多値メモリの構造を示す断面図である。

【図 20】本発明の第 3 の実施形態に係る多値メモリの概略を示す回路図である。

【図 21】本発明の第 4 の実施形態に係る多値メモリを示す等価回路図である。

【図 22】本発明の第 5 の実施形態に係る半導体装置を示す等価回路図である。

【図 23】本発明の第 5 の実施形態に係る半導体装置を示す上面図である。

【図 24】本発明の第 5 の実施形態に係る半導体装置の図 22 に示す XXIV-XXIV 線における断面図である。

【図 25】本発明の第 5 の実施形態に係る半導体装置の図 22 に示す XXV-XXV 線における断面図である。

【図 26】(a) ~ (d) は、本発明の第 5 の実施形態に係る半導体装置の製造工程を示す断面図である。

【図 27】本発明の第 5 の実施形態に係る半導体装置に用いられる誘電体キャパシタの印加電圧-通過電流特性を示す図である。

【図 28】本発明の第 5 の実施形態に係る半導体装置の印加電圧-ドレイン電流特性を示す図である。

【図 29】本発明の第 5 の実施形態に係る半導体装置において、誘電体キャパシタを流れる通過電流と復帰時間との相関図である。

【図 30】本発明の第 6 の実施形態に係る半導体装置の駆動方法における誘電体キャパシタの印加電圧-通過電流特性を示す図である。

【図 31】本発明の第 6 の実施形態に係る半導体装置の印加電圧-ドレイン電流特性を示す図である。

【図 32】本発明の第 7 の実施形態に係る半導体装置を示す等価回路図である。

【図 33】(a) ~ (d) は、本発明の第 7 の実施形態に係る半導体装置の製造工程を示す図である。

【図 34】(a) は、本実施形態の半導体装置において、記憶情報を大幅に変更する粗調時の等価回路を示す図であり、(b) は、記憶情報を微小変更する微調時の等価回路を示す図である。

【図 35】本発明の第 7 の実施形態に係る半導体装置に用いられる強誘電体キャパシタの印加電圧-通過電流特性を示す図である。

【図 36】第 7 の実施形態に係る半導体装置における、電圧印加方法の一例を示す図である。

【図 37】本発明の第 7 の実施形態に係る半導体装置の初期状態における印加電圧-ドレイン電流特性を示す図である。

【図 38】本発明の第 7 の実施形態に係る半導体装置において、+6 V を印加した後で連続的にパルス電圧を加えたときのドレイン電流を示す図である。

【図 39】本発明の第 7 の実施形態に係る半導体装置において、+6 V を印加した後で ±2 V の範囲で印加電圧をスキャンした場合の印加電圧-ドレイン電流特性を示す図である。

【図 40】本発明の第 7 の実施形態に係る半導体装置において、-6 V を印加した後で連続的にパルス電圧を加えたときのドレイン電流を示す図である。

【図 41】本発明の第 7 の実施形態に係る半導体装置において、-6 V を印加した後で ±2 V の範囲で印加電圧をスキャンした場合の印加電圧-ドレイン電流特性を示す図である。

す図である。

【図 4 2】(a) は、本発明の第 8 の実施形態に係る半導体装置を示す回路図であり、(b) は、抵抗素子のバリスタ特性を示す図である。

【図 4 3】第 8 の実施形態に係る半導体装置の構造を示す断面図である。

【図 4 4】本発明の第 9 の実施形態に係る半導体装置を示す回路図である。

【図 4 5】本発明の第 10 の実施形態に係る半導体装置を示す回路図である。

【図 4 6】本発明の第 11 の実施形態に係る半導体装置を示す回路図である。

【図 4 7】本発明の第 12 の実施形態に係るニューロンコンピュータの基本構成の概略を示す図である。

【図 4 8】生物の脳について、基本単位の構成を簡略化したモデルを示す図である。

【図 4 9】多値メモリとして機能する従来の半導体装置の断面図である。

【図 5 0】多値メモリとして機能する従来の半導体装置のヒステリシス特性を示す図である。

【図 5 1】従来の半導体装置のメモリセルのゲート電圧とドレイン電流との関係を示すグラフである。

【符号の説明】

1	基板
3 a	ドレイン領域
3 b	ソース領域
5	素子分離膜
7	ゲート絶縁膜
9	ゲート電極
11	第 1 の層間絶縁膜
13 a、13 b、13 c、13 d	プラグ配線
14 a	第 1 の中間電極
14 b	第 2 の中間電極
15 a、15 b	パッド部
16	第 1 の強誘電体層
17	第 1 の上部電極
18	第 2 の強誘電体層
19	第 2 の上部電極

20	絶縁層
21	第 2 の層間絶縁膜
25 a、25 b、25 c	配線
26	ゲート電極／下部電極
27	第 1 の強誘電体層
28	第 2 の強誘電体層
29	第 1 の上部電極
30	第 2 の上部電極
31	層間絶縁膜
32	プラグ配線
WL	ワード線
BL	ビット線
101	Si 基板
103 a	ドレイン領域
103 b	ソース領域
104	誘電体キャパシタ
104 a	強誘電体キャパシタ
105	素子分離用酸化膜
106	抵抗素子
107	ゲート絶縁膜
108	基板電極
109	ゲート電極
110	制御電圧供給部
111	第 1 の層間絶縁膜
113 a、113 b、113 c	プラグ配線
114	中間電極
115 a、115 b	パッド部
116	誘電体層
119	上部電極
121	第 2 の層間絶縁膜
125 a、125 b、125 c	配線
131	強誘電体層
132、133	電気抵抗
Ss1	前段シナプスからの出力信号
Si	荷重信号
Tr11	MOS トランジスタ
Tr12	トランジスタ
N1	ノード

フロントページの続き

(51)Int. Cl.⁷
H03K 19/20

識別記号
101

F I
H01L 27/10

テーマコード(参考)
444Z

(72)発明者 森田 清之

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

F ターム(参考) 5F083 FR01 FR02 JA06 JA14 JA15
- JA38 JA40 KA01 KA05 MA06
MA17 MA19 NA08 PR22 PR40
ZA21
5J042 AA10 BA13 CA07 CA20 DA00
DA06

THIS PAGE BLANK (USPTO)